

PROYECTO FIN DE CARRERA

Diseño e Implementación de un
Amplificador-Integrador Diferencial
para Acondicionamiento de Señal de
un Sensor de Descargas Parciales

INGENIERÍA TÉCNICA INDUSTRIAL

UNIVERSIDAD CARLOS III DE MADRID

TUTOR: ERNESTO GARCÍA ARES
ALUMNO: CARLOS SALAS FERNÁNDEZ

5 Febrero 2010

Índice

MEMORIA

- ❖ **Capítulo 1: Introducción** (p7)
 - **1.1 Introducción y Contexto**
 - **1.2 Descargas Parciales (DPs); Conceptos básicos**

- ❖ **Capítulo 2: Antecedentes** (p15)
 - **2.1 Principio de Funcionamiento del Sensor**
 - **2.2 Consideraciones iniciales sobre el acondicionamiento**
 - **2.3 Referencias Experimentales**
 - 2.3.1 Caracterización Experimental del Sensor Inductivo
 - 2.3.2 Amplificador-Integrador; Primer Prototipo

- ❖ **Capítulo 3: Diseño Electrónico** (p32)
 - **3.1 Búsqueda y Selección de un Amplificador diferencial**
 - **3.2 Amplificador-Integrador THS4500**
 - 3.2.1 Descripción de un Amplificador Diferencial
 - 3.2.2 Respuesta del Amplificador Diferencial THS4500
 - **3.3 Diseño del Circuito con el Integrado VCA824**
 - 3.3.1 Introducción
 - 3.3.2 Integrado VCA824
 - 3.3.3 Circuito Amplificador-Integrador VCA824 definitivo
 - **3.4 Diseño Y Fabricación De La Placa de Circuito Impreso (PCB)**
 - 3.4.1 Diseño real del circuito para realizar la PCB
 - 3.4.2 Consideraciones en el Diseño de Placas de Circuito impreso
 - 3.4.3 Técnicas de Diseño de Placas de Circuito impreso
 - 3.4.5 Diseño de la PCB de los prototipos.



❖ **Capítulo 4 : Resultados experimentales (p70)**

- **4.1 Montaje Experimental para Realizar Medidas.**
- **4.2 Medidas con el Amplificador Monoetapa.**
- **4.3 Medidas con el Integrador Monoetapa.**
- **4.4 Medidas con el Amplificador-Integrador Bietapa.**

❖ **Capítulo 5: Conclusiones**

❖ **Anexos (p87)**

- **Catalogo del Integrado VCA824**
- **Fotos del Montaje Experimental**

PLANOS (p125)

- **Diseño del Circuito Integrador Diferencial, Prototipo 1**
- **Diseño Del Circuito Amplificado-Integrador Bietapa, Prototipo 2**

PRESUPUESTO (p135)

Índice de Figuras y Tablas

❖ Figuras (clasificadas por capítulos de la Memoria)

Figura 1.2: Forma de onda de la corriente inducida por una DP rápida asociada a una sobre tensión.

Figura 1.1: Avalancha inicial para la formación de una descarga parcial.

Figura 2.1: Esquema de principio del sensor de DPs

Figura 2.2: Esquema de la espira para sensado de DPs.

Figura 2.3: Circuito equivalente del sensor inductivo

Figura 2.4: Espira de corriente real, sensor de descargas parciales.

Figura 2.5: Amplificación diferencial de la tensión de la espira.

Figura 2.6: Integrador para obtener $V_o(t) = cte \times i(t)$.

Figura 2.7: Respuesta experimental en frecuencia de la espira.

Figura 2.8: Circuito que modela la espira

Figura 2.9: Circuito de la Espira con Integrador Operacional OPA847

Figura 2.10: Respuesta experimental en frecuencia del integrador OPA847

Figura 3.1: Arquitectura interna de un amplificador totalmente diferencial

Figura 3.2: Definiciones de las distintas tensiones en los amplificadores diferenciales

Figura 3.3: Rango dinámico de la tensión de salida diferencial

Figura 3.4: Circuito básico de un amplificador totalmente diferencial

Figura 3.5: Diagrama de pines del integrado THS4500

Figura 3.8: Integrado VCA824 configurado para $A_{Vmax} = +10V/V$

Figura 3.9: VCA824 configurado como amplificador diferencial

Figura 3.10: VCA821 configurado como ecualizador diferencial

Figura 3.11 Respuesta del VCA824 con y sin ecualizar.

Figura 3.12: Circuito Espira con Amplificador VCA824 monoetapa

Figura 3.13: Respuesta paramétrica en frecuencia de la espira + amplificador diferencial

Figura 3.14: Circuito Espira con Integrador VCA824 monoetapa

Figura 3.15: Respuesta paramétrica en frecuencia de la espira con el integrador VCA824

Figura 3.16: Circuito Espira con Amplificador-Integrador VCA824 bi-etapa

Figura 3.17: Respuesta paramétrica en frecuencia de la espira con integrador-amplificador

Figura 3.18: Diseño jerárquico del Amplificador-Integrador Monoetapa. Prototipo 1

Figura 3.19: Bloque de Alimentación de la PCB

- Figura 3.20: Bloque del Amplificador-Integrador de la PCB
- Figura 3.21: Diseño jerárquico del Amplificador-Integrador Bietapa. Prototipo 2
- Figura 3.22: Respuesta en frecuencia de la impedancia de un condensador
- Figura 3.23: Rutado de líneas
- Figura 3.24: Acopamiento entre pistas
- Figura 3.25: PCB Circuito Amplificador-Integrador Monoetapa prototipo 1
- Figura 3.26: PCB Circuito Amplificador-Integrador Monoetapa prototipo 1
- Figura 3.27: Fotolito de la capa Top. Prototipo 1
- Figura 3.29: Fotolito de la capa Top. Prototipo 2
- Figura 3.30: Fotolito de la capa Bottom. Prototipo 2
- Figura 4.1: Montaje experimental para realizar medidas
- Figura 4.2: Respuesta Experimental del Amplificador Monoetapa, $C_c=0\text{pF}$, $C_c=10\text{ pF}$
- Figura 4.3: Circuito Espira con Integrador VCA824 monoetapa, versión experimental
- Figura 4.4: Respuesta paramétrica en frecuencia de la espira con el integrador VCA824 modificado
- Figura 4.5: Respuesta Experimental del Amplificador Bietapa, en función de C_2, C_{12}

❖ *Tablas (clasificadas por capítulos de la Memoria)*

- Tabla 2.1: Parámetros geométricos del sensor (mm)
- Tabla 2.2: Parámetros eléctricos de la espira
- Tabla 2.3: Comparación de la espira experimental y el modelo
- Tabla 3.1: Lista de posibles amplificadores diferenciales para nuestro diseño
- Tabla 3.2: Tabla de amplificadores de ganancia variable VCAxxx
- Tabla 4.1: Resultados Experimentales Amplificador Monoetapa, $C_1=0\text{pF}$
- Tabla 4.2: Resultados Experimentales Amplificador Monoetapa, $C_2=10\text{pF}$
- Tabla 4.3: Resultados Experimentales Amplificador Bietapa, $C_2, C_{12}=0\text{pF}$
- Tabla 4.4: Resultados Experimentales Amplificador Bietapa, $C_2=10\text{pF}$, $C_{12}=33\text{pF}$



MEMORIA



Capítulo 1:

Introducción

1.1 INTRODUCCIÓN Y CONTEXTO

En este documento se describe el diseño e implementación de un circuito electrónico con aplicación a la detección de descargas parciales. El proyecto se encuadra dentro del trabajo desarrollado en el Departamento de Ingeniería Eléctrica de la Universidad Carlos III de Madrid relativo a la medida de descargas parciales que se describe en [1]. Concretamente, el objetivo de este proyecto es el diseño, montaje y caracterización de un circuito electrónico para el acondicionamiento de la señal que se obtiene a la salida de un sensor de descargas parciales de alta frecuencia diseñado y desarrollado en el mencionado Departamento. El objetivo principal de dicho circuito de acondicionamiento es procesar la señal presente a la salida del sensor (que, como veremos más adelante, es proporcional a la corriente de la descarga) para poder obtener una tensión de salida directamente proporcional a la corriente de la descarga parcial y poder así medir su magnitud.

Las Descargas Parciales (DPs) son pequeños pulsos rápidos de corriente producidos por ruptura dieléctrica en las pequeñas cavidades o vacuolas existentes en el interior de los aislamientos eléctricos. Su detección y cuantificación es decisivo en el diagnóstico del estado de los aislamientos. La reorganización interna de las cargas eléctricas asociada a cada DP se manifiesta en el exterior del aislante como un pulso de pequeña amplitud (algunos miliamperios de valor de pico) y duraciones de entre unos pocos nanosegundos a décimas de microsegundo. Estas características de la señal a medir hacen necesario que, tanto el sensor como su circuito de acondicionamiento, presenten un ancho de banda relativamente amplio, de 1MHz a 100 MHz como mínimo.

Las descargas parciales, como todo fenómeno físico, determinan qué instrumentación debe ser implementada. Ésta varía con respecto a los datos que se quieren conseguir de la DP. Los transductores de baja frecuencia permiten obtener la carga aparente, la magnitud y la fase de la descarga, referido todo a la frecuencia de red. Por otro lado, analizando el pulso de la descarga mediante transformadores de corriente de alta frecuencia, que tienen el ancho de banda suficiente, podemos obtener más

información de la DP y del estado de aislamiento. Una desventaja de este tipo de sensores, es que tienden a saturarse al leer la gran amplitud del armónico principal de 50 Hz. Otro dispositivo que ha sido utilizado para la medida de las DPs es la bobina de Rogowski, aunque para determinadas medidas especialmente rápidas, puede exhibir oscilaciones que distorsionan la forma del pulso, además de tener poca sensibilidad.

Con estas restricciones en el rango de frecuencia, se ha diseñado en el Departamento de Ingeniería Eléctrica de la Universidad Carlos III un sensor inductivo para la medida de las DPs basado en el principio de inducción electromagnética, que reúne las características de ser sencillo y de bajo coste y ofrecer un rango de frecuencia amplio, repetitividad en la medición y un comportamiento y una sensibilidad adecuados.

El primer punto de este proyecto, consistirá en describir el principio de funcionamiento del sensor de descargas parciales (espira) y sus características teóricas y experimentales, es decir, describir el trabajo del que partimos. De estos antecedentes se derivarán los requisitos a satisfacer por el circuito de acondicionamiento. A continuación, apoyándonos en simulaciones mediante Spice, estudiaremos las posibles alternativas y diseñaremos un circuito de acondicionamiento capaz de satisfacer los requisitos establecidos en el punto anterior. Por último se montará y caracterizará un prototipo experimental del circuito de acondicionamiento diseñado, lo que nos permitirá validar el diseño teórico y, en su caso, corregir o ajustar este diseño para optimizar su funcionamiento.

1.2 DESCARGAS PARCIALES (DPs); CONCEPTOS BÁSICOS

Las descargas parciales acortan el tiempo de vida de los sistemas de aislamiento de equipos eléctricos y causan una serie de interferencias en los sistemas de medida, control y comunicaciones eléctricos. Provocan además pérdidas económicas (por reparaciones en los equipos eléctricos, pérdidas de eficiencia y seguridad, e interrupción de suministro de energía) que se pueden prevenir mediante pruebas en los equipos eléctricos en el momento apropiado, asegurándonos que las descargas parciales no producirán efectos adversos bajo las condiciones de servicio para las cuales fueron especificadas.

Origen

Durante el proceso de fabricación de un aislante, pueden quedarse pequeñas cantidades de gas aprisionadas en el seno del material, formando cavidades de formas y dimensiones muy diferentes. Además, al montar un aislante alrededor de piezas conductoras, por descuido, imperfecciones, dificultades constructivas, pueden quedar cavidades entre el dieléctrico sólido y conductores o entre diferentes capas de aislamiento sólido. Los *aislantes plásticos* que se moldean directamente en equipos eléctricos, en el proceso de fraguado, pueden dejar burbujas gaseosas en su interior. El *envejecimiento* del material aislante (por esfuerzos mecánicos externos, contracciones y dilataciones térmicas) da origen a cavidades de tamaño y formas diversas. Los fenómenos eléctricos que se producen en estas diversas cavidades son similares.

Naturaleza del Fenómeno.

Cuando el material aislante es sometido a una diferencia de potencial, y debido a la presencia de un campo eléctrico que tiende a concentrarse en las cavidades, se produce la ionización del gas presente en éstas, dando origen a una descarga eléctrica (ver figura 1.1). La ionización es un proceso físico que se inicia cuando un electrón libre o un ión negativo llega a un espacio lleno de algún material ionizable, por ejemplo gas donde exista un campo eléctrico.

Si un electrón tiene la suficiente libertad para moverse en el gas, éste adquirirá una gran energía cinética tal que, en la colisión del electrón y una molécula neutra, se liberará un electrón de ésta por el impacto. Así cada vez que esto suceda se liberará un nuevo electrón capaz de producir el mismo efecto, consiguiendo que el número de electrones libres se multiplique, produciendo el efecto avalancha.

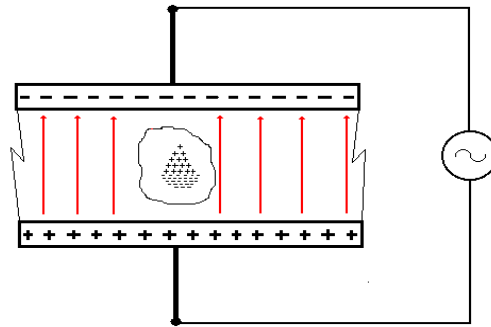


Figura 1.1: Avalancha inicial para la formación de una descarga parcial.

Estos electrones, cargados negativamente, se moverán rápidamente en dirección del electrodo cargado positivamente, el cual junto con el electrodo negativo producen el campo eléctrico en el gas ionizable. Las moléculas que pierdan un electrón estarán cargadas positivamente y se moverán más lentamente que los electrones, en dirección opuesta, hacia el electrodo negativo. El movimiento de los iones depende de la fuerza que ejerce el campo eléctrico sobre las cargas libres y la masa de cada ión.

Cuando la intensidad del campo alcanza un valor menor a aquel al que inició la ionización, no se generan más electrones por avalancha. La carga de espacio¹ formada por iones positivos, en la vecindad del electrodo negativo, y la de los iones negativos y electrones, en la vecindad del electrodo positivo, disminuye. El material de los límites de la región donde ocurre la ionización, además de la distribución del campo eléctrico y la polaridad de los electrodos, influye en la velocidad a la cual la carga se recombina.

A medida que la carga de espacio desaparece, la intensidad del campo eléctrico en la región en cuestión aumenta, de modo que, cuando éste alcanza un valor igual o mayor a aquel al cual la ionización se inició la primera vez, la avalancha de electrones comienza y el proceso de ionización se vuelve a repetir.

¹ El término carga de espacio describe el estado eléctrico de un material aislante, mal conductor, que mantiene una distribución de cargas eléctricas relativamente inmóviles, que influye en procesos de envejecimiento y ruptura dieléctrica.

Se podrían definir entonces las *DPs* como pequeñas descargas eléctricas que se producen en el seno de cavidades con gas presente en un medio aislante sólido o líquido. Afectan sólo a la zona donde se producen, no comprometen todo el aislante, de ahí su nombre genérico de descargas parciales (*DPs*). La forma de onda de una *DP* tiene flancos rápidos de muy alta frecuencia, clasificándose en dos tipos, descargas rápidas y lentas. Las tensiones de inicio son relativamente bajas porque el campo eléctrico tiende a concentrarse en las cavidades, y la rigidez dieléctrica del gas es menor que la rigidez dieléctrica del sólido. Si se coloca un conductor en una zona cercana a la cavidad en que se produce la avalancha, las cargas eléctricas se inducirán capacitivamente en éste. El resultado de la transferencia de carga, momentánea, de corta duración (ya que son el resultado del movimiento extremadamente rápido de portadores de carga), regular o aleatoria, es que se producen pulsos de corriente, los cuales se propagan a través del circuito externo. La densidad de corriente local en esta región restringida provoca calor intenso por la potencia disipada.

Autoextinción: En ocasiones las *DPs* tras un periodo de existencia se extinguen. Se debe a los depósitos semiconductores que las *DPs* dejan en las paredes de la cavidad, los cuales cortocircuitan la capacidad respectiva de la cavidad, reduciendo la tensión por debajo del valor de ruptura. Es más probable a menor espesor de la cavidad.

Clasificación de las *DPs*. En general se distinguen tres tipos de *DPs*:

- *Internas:* ocurren en cavidades, en general gaseosas, de un dieléctrico sólido, pudiendo presentarse en el exterior (entre los revestimientos de dos conductores paralelos), en el interior del dieléctrico (pequeña cavidad de aire), o entre dieléctrico y aislante (el aislante se despega).
- *Superficiales:* en la superficie de un dieléctrico o entre dos dieléctricos (ocurren en gas o líquido).
- *Corona:* ocurren en las superficies metálicas puntiagudas o que tienen un pequeño radio de curvatura, en las cuales el campo eléctrico supera la rigidez dieléctrica del gas (en general aire). Normalmente se omiten de la familia de las *DPs*, pasando a ser fuente de interferencia en la medición de *DPs*.

Descargas Asociadas a Condiciones de Sobretensión.

Estas descargas son de tipo rápido, del orden de 2ns, alcanzando tiempos menores de 700ps. La corriente puede alcanzar niveles altos, por lo que se genera una onda electromagnética que se difunde en el espacio circundante de la zona de descarga. La forma de onda está representada en la figura 1.2.

El origen de esta forma de onda de la descarga es la sobretensión dentro de la cavidad donde se produce la DP. Se originan cuando el voltaje en la cavidad para provocar la descarga excede los valores de ruptura del gas sin que exista un electrón libre para iniciar la avalancha de acuerdo al proceso descrito anteriormente.

La forma de onda de una descarga rápida contiene información sobre el tiempo entre el momento en que se alcanzó el gradiente de ruptura en el gas dentro de la cavidad y el momento en que apareció el primer electrón libre por ionización del propio gas. Sirve también para la localización de esta descarga, pues la gran cantidad de energía liberada en corto tiempo es mucho mayor que la que se encuentra en el medio ambiente como interferencias.

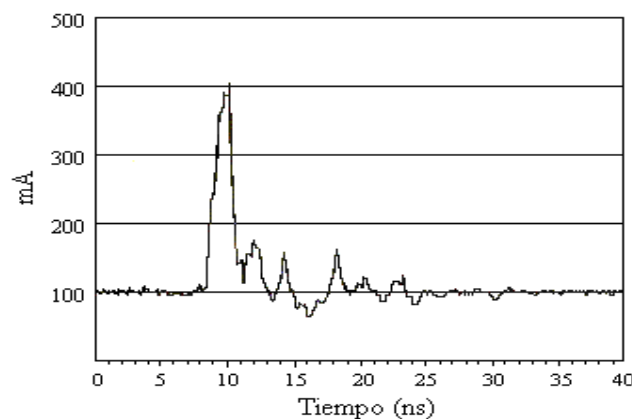


Figura 1.2: Forma de onda de la corriente inducida por una DP rápida asociada a una sobre tensión.

Descargas Parciales en Transformadores.

El aumento de las potencias, la elevación de la tensión de trabajo y la necesidad de transmitir energía eléctrica a distancias cada vez mayores convierte a los transformadores en equipos eléctricos de gran importancia. Éstos están sujetos a esfuerzos térmicos, eléctricos y mecánicos que provocan degradación en el sistema de aislamiento. Las causas principales de la aparición y aceleración del proceso de

degradación son la temperatura excesiva y la presencia de oxígeno y humedad combinadas con los esfuerzos eléctricos. La existencia de DPs es uno de los problemas más frecuentes que se presentan en los transformadores de potencia, revelando así la existencia de puntos con intensidades de campo excesivamente altas, y defectos en los materiales.

Tan importante como medir la intensidad de las descargas parciales es poder localizarlas. Dentro de los principales ensayos dieléctricos de aislamiento aplicables a transformadores está el de detectar descargas parciales para verificar que tiene unas condiciones óptimas. Las descargas parciales en transformadores pueden detectarse por medio de métodos eléctricos, químicos y acústicos.

Objetivos de las Mediciones:

- Asegurar que el nivel de DPs, a una tensión superior a la máxima de trabajo, no sobrepase valores aceptables.
- Conocer cambios en el estado del aislamiento como resultado del envejecimiento.

Referencias:

[1] Mónica Rojas, Guillermo Robles, Juan Manuel Martínez y Javier Sanz: “*Modelando un nuevo sensor para medidas de pulsos de alta frecuencia: Aplicación a la detección de descargas parciales*”

Actas SAAEI 2009

UC3M, Leganés, Julio de 2009



Capítulo 2:

Antecedentes

PRINCIPIO DE FUNCIONAMIENTO DEL SENSOR

El *sensor*, desarrollado por el Departamento de Ingeniería Eléctrica de la Universidad Carlos III de Madrid, consiste en una *espira* conductora rectangular que se sitúa junto al conductor por el que fluye la corriente de la Descarga Parcial (DP), según se describe en [1]. Ambos elementos (espira y conductor) se implementan en una placa de circuito impreso, lo que permite que la geometría implementada sea estable y fácilmente reproducible. La figura 2.1 representa un esquema de principio del sensor. Bajo el principio de inducción electromagnética, la corriente de la DP, al circular por el conductor, crea un flujo magnético variable en el tiempo. Este flujo magnético induce en la espira una tensión proporcional a la variación de la corriente,

$$e(t) = M \frac{di(t)}{dt}$$

Donde;

e : es la tensión inducida en la espira (V)

i : es la corriente de la DP (A)

M : es la inductancia mutua entre el sensor y el conductor principal (H)

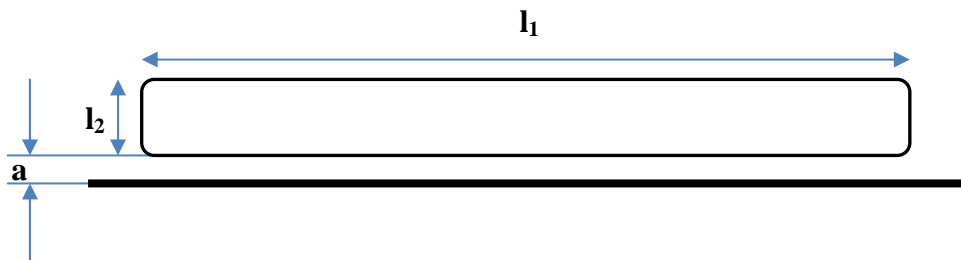


Figura 2.1: Esquema de principio del sensor de DP

El parámetro M depende de la geometría de la espira y de la separación entre esta y el conductor (ver [1]):

$$M = \frac{\mu_0}{2\pi} l_1 \ln(l_2 + a)$$

Siendo l_1 y l_2 las longitudes del rectángulo que constituyen la espira, h y d la anchura y espesor de la pista de la espira, y a la distancia entre la espira y el conductor por el que circula la DP.

La *sensibilidad* del sensor es directamente proporcional al valor de M y a la frecuencia de la corriente medida, al ser proporcional a su derivada. Esta frecuencia puede llegar incluso a los 100 MHz, imponiendo una longitud máxima de la espira de 30 cm para el modelado con parámetros concentrados. Las dimensiones de la espira, que se recogen en la tabla 2.1, se han escogido para obtener una sensibilidad máxima respetando la restricción en las dimensiones.

L_1	l_2	h	d	a
120	9	0.381	0.035	1.016

Tabla 2.1: Parámetros geométricos del sensor (mm)

En la implementación práctica del sensor, es necesario abrir la espira para leer la tensión inducida en ella, conforme a lo mostrado en la figura 2.2.

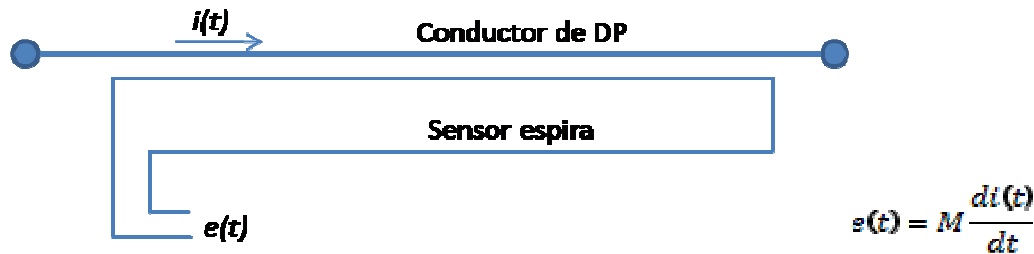


Figura 2.2: Esquema de la espira para sensado de DPs.

En [1] se describe un circuito equivalente para la espira (ver figura 2.3), desarrollado a partir de la combinación serie de dos líneas bifilares.

Los parámetros eléctricos de este circuito equivalente, que se recogen en forma de tabla en la referencia [1] y que aquí se reproducen en la tabla 2.2, se obtuvieron realizando una *comparación* entre datos obtenidos mediante una simulación en elementos finitos con el *software* FEMM y la aplicación de *ecuaciones teóricas*, que indicará la aproximación del modelo al prototipo real.

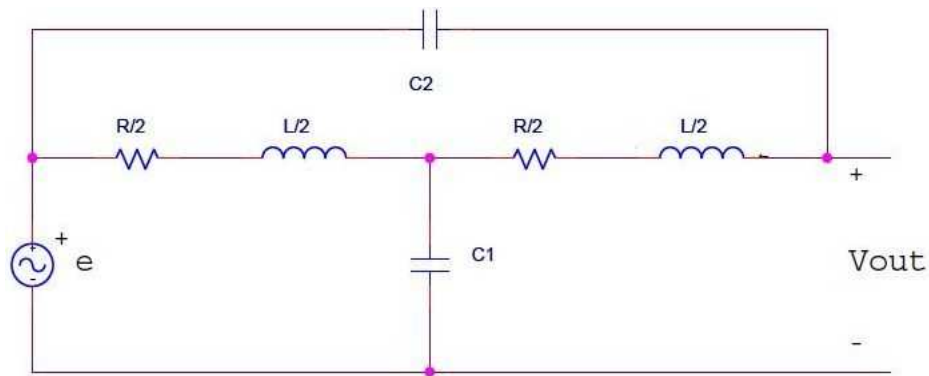


Figura 2.3: Circuito equivalente del sensor inductivo

Método	L (nH)	C ₁ (pF)	C ₂ (pF)
Teórico	208.26	3.396	0.175
Simulado	235.75	3.539	0.164

Tabla 2.2: Parámetros eléctricos de la espira

Con estos parámetros, la espira presenta una frecuencia de autoresonancia entre 200 y 300 MHz (ver [1]), que limita la frecuencia máxima de las corrientes a medir.

Una imagen del sensor real fabricado se muestra en la figura 2.4, en la que, además de la placa de circuito impreso con la espira y el conductor, puede verse la caja de apantallamiento contra interferencias fabricada a medida.

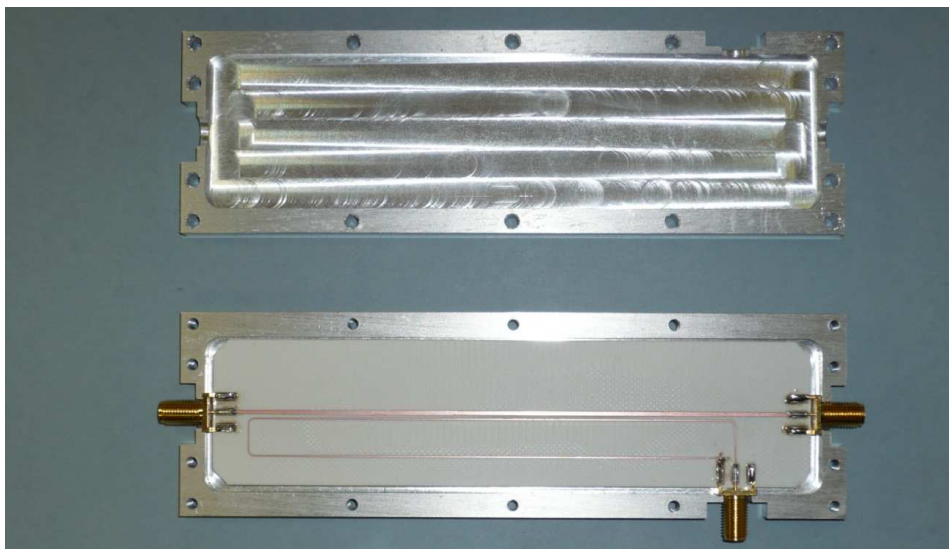


Figura 2.4: Espira de corriente real, sensor de descargas parciales.

2.1 CONSIDERACIONES INICIALES SOBRE EL ACONDICIONAMIENTO

La tensión $e(t)$ obtenida en bornas de la espira es diferencial (no está referenciada a tierra y además, su sensibilidad está limitada por las restricciones geométricas indicadas en el punto anterior. Por tanto, utilizaremos un amplificador diferencial que nos permita amplificar la tensión $e(t)$ y convertirla en una señal simple referida a tierra, o “*single ended*”, tal como se muestra en la figura 2.5, en la que $V_s(t)$ es la tensión amplificada de salida. El amplificador diferencial debe cumplir el requisito de tener un ancho de banda superior a los 100MHz, con una resistencia de entrada, R_i , lo más alta posible para no cargar a la espira y una capacidad de entrada, C_i , lo bastante pequeña para no reducir la frecuencia de autoresonancia de la espira.

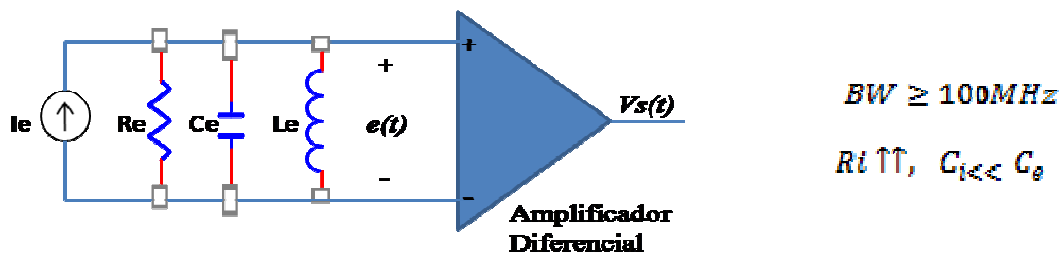


Figura 2.5: Amplificación diferencial de la tensión de la espira.

Las descargas parciales generan señales impulsionales, con una gama continua de frecuencias desde 1MHz hasta al menos 100MHz, por lo que tendremos que amplificar sin distorsionar la fase para poder reproducir correctamente la forma del pulso de corriente en nuestra medida.

La tensión $V_s(t)$ seguirá siendo proporcional a la derivada de $i(t)$, tal como lo era $e(t)$. Para obtener una tensión $V_o(t)$ de salida directamente proporcional a la corriente de las DP, podemos utilizar un integrador, tal como se muestra en la figura 2.6.

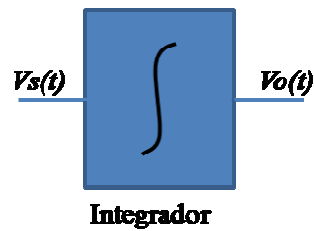


Figura 2.6: Integrador para obtener $V_o(t) = cte \times i(t)$.

En resumen, nuestro objetivo será diseñar un circuito amplificador-integrador de entrada diferencial y salida de terminación única, con el que podamos obtener una tensión de salida $V_o(t)$ que sea directamente proporcional a la corriente de la descarga parcial $i(t)$, manteniendo una ganancia de módulo constante (y suficiente para aumentar la sensibilidad de la medida al valor requerido) y fase a 0° en un rango de frecuencias de 1MHz a 100MHz:

$$V_o(t) = cte \times i(t)$$

2.2 REFERENCIAS EXPERIMENTALES

Además del principio de funcionamiento y del modelo circuital expuestos en los puntos precedentes, este proyecto toma como punto de partida una serie de medidas experimentales realizadas con anterioridad a su comienzo, que nos aportan información muy útil para el diseño que se describe en los capítulos 3 y 4. Estas pruebas fueron básicamente las siguientes:

- 1 Medidas sobre el sensor inductivo. Se realizó un análisis experimental del comportamiento del sensor inductivo mostrado en la figura 2.4. A partir de estas medidas se ha creado un modelo de SPICE para el sensor inductivo, que utilizaremos en las simulaciones del circuito de acondicionamiento (ver capítulo 3).
- 2 Amplificador-Integrador. Fue el primer prototipo realizado para intentar cumplir los objetivos descritos en el apartado 2.2. Se configuró un amplificador-integrador a la salida de la espira mediante un amplificador operacional.

Procedemos ahora a describir más detalladamente cada una de las pruebas realizadas, analizando la información que nos aporta cada una de ellas. La aportación de cada prueba es importante debido a que no indica la forma de realizar o diseñar nuestro circuito

2.2.1 Caracterización experimental del sensor inductivo

La espira nos proporciona una tensión diferencial proporcional a la derivada de la corriente de las descargas parciales. Para analizar el comportamiento de la espira se midió experimentalmente su respuesta en frecuencia.

En este apartado valoraremos los resultados experimentales que se obtuvieron, los cuales nos ayudarán a desarrollar un circuito que modele el comportamiento de la espira para nuestras simulaciones.

Resultados Experimentales

Los resultados experimentales de la espira están representados en la figura 2.7. En ella se muestra la función de transferencia de la espira (V_{esp}/I_i) en fase y módulo (este último en escala logarítmica).

Se observa la frecuencia de resonancia de la espira, que se sitúa en torno a 110MHZ, en la cual la impedancia es máxima, es decir, la reactancia del circuito es nula y la fase es de 0°. Por tanto el circuito es puramente resistivo, con la tensión y la corriente en fase.

Para frecuencias superiores a la de resonancia el circuito se comporta capacitivamente; lo contrario ocurre para frecuencias inferiores a la frecuencia de resonancia, el circuito se comporta inductivamente. En la zona inductiva la fase es de 90° aproximadamente, debido a que la tensión de la espira va adelantada 90° a la corriente del conductor.

Esto implica que la espira funcionará solamente hasta pasados ligeramente los 100MHz. No hace falta diseñar un circuito con una respuesta en frecuencia mayor que ésta, ya que la espira resuena y no funcionaría igualmente a estas frecuencias.

El módulo de la función de transferencia comienza en 224mV/A a 1MHz, con una pendiente de aproximadamente +20dB por década hasta ~80 MHz. Ésta pendiente aumenta a partir de dicha frecuencia, hasta alcanzar 984 V/A cuando la espira resuena. El módulo cae a partir de la resonancia hasta 24.6 V/A a 200MHz.

La fase de la función de transferencia comienza en 0° y se mantiene, desde 1MHz hasta 10MHz, donde comienza a aumentar ligeramente alcanzando un desfase de +105° a los 100 MHz. A partir de esta frecuencia, la fase cae, pasando por 0° en la resonancia, llegando a -55° a 200MHz.

Esto confirma que mediante un integrador podremos conseguir que la respuesta en módulo sea constante con la frecuencia, ya que éste introduciría una pendiente de -20dB/dec compensando la pendiente de +20dB/dec propia del sensor. Así obtendremos una ganancia horizontal, con una pequeña subida cerca de los 100MHz por el aumento de la pendiente del módulo de la espira en esta zona.

Además, el integrador introduciría un giro de fase de -90°, que se cancelaría con la fase de +90° propia del sensor inductivo, bajando la fase a 0°.

Con esto, la función de transferencia del sensor después del integrador tendrá una respuesta constante en módulo y con 0° de fase, cumpliendo con el objetivo de obtener una tensión proporcional a la corriente.

Un inconveniente de la espira es su baja sensibilidad impidiéndonos utilizar la espira de forma aislada, es decir, tendremos que utilizar un amplificador diferencial para tratar de mejorar el nivel de señal.

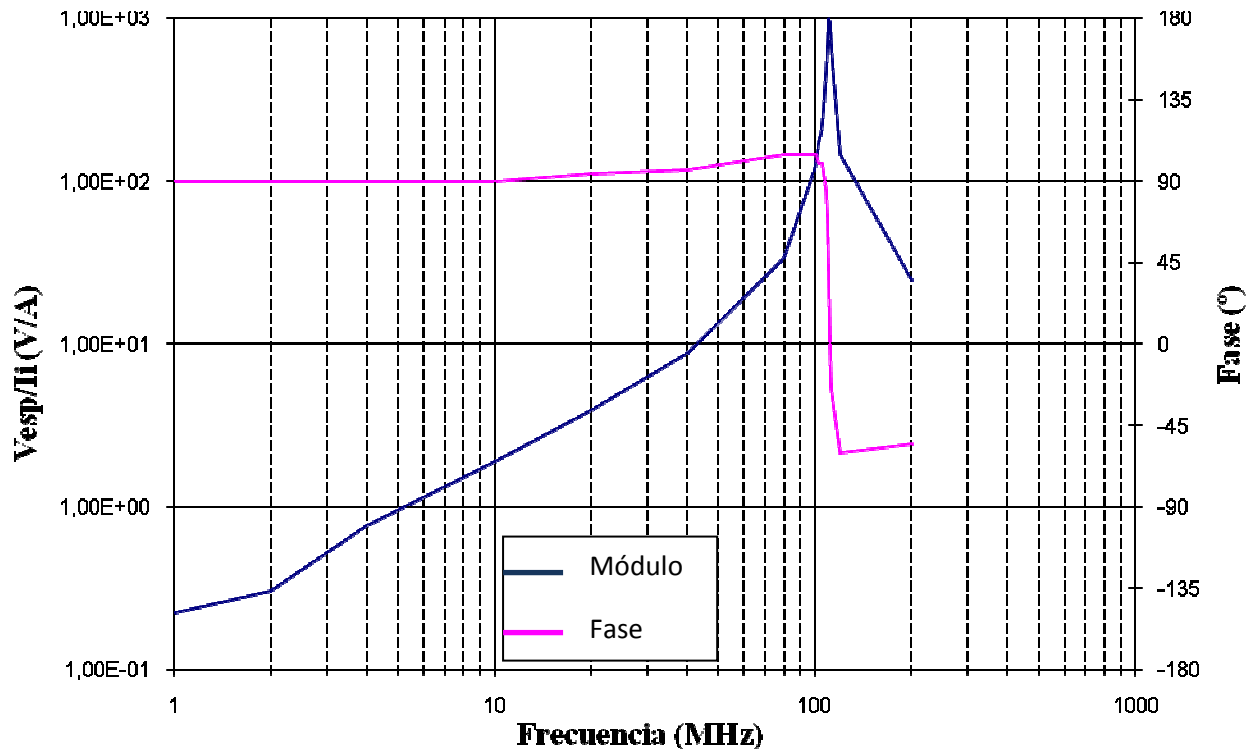


Figura 2.7: Respuesta experimental en frecuencia de la espira.

Modelo de la Espira para Incorporar en los Diseños

Hemos realizado en este proyecto un circuito que modela el comportamiento de la espira para incorporarlo a nuestros diseños, pudiendo hacer así simulaciones mediante SPICE del sistema completo (sensor inductivo+circuito de acondicionamiento).

Este modelo, representado en la figura 2.8, parte de la respuesta experimental de la espira, por tanto hemos intentado reproducir dicha respuesta con el mayor grado de similitud posible, estudiando el porcentaje de error que cometemos.

Comenzando con la descripción de nuestro modelo, distinguimos tres partes en el circuito: un acoplamiento magnético, el equivalente de la espira y la entrada del instrumento de medida (HP8405A).

Acoplamiento Magnético:

Es el acoplamiento magnético entre el conductor de DPs y la espira. La entrada del circuito es una fuente de corriente que hace la función de la corriente de las DPs. Lo que intentamos obtener es una tensión proporcional a la derivada instantánea de la corriente:

$$e = M \frac{di}{dt}$$

La forma de realizarlo que hemos seguido es primero, hacer una conversión corriente-tensión (H1 es una fuente ideal de tensión gobernada por corriente con ganancia 1V/A), y posteriormente, mantener la relación diferencial mediante un circuito derivador (E1 es una fuente ideal de tensión gobernada por tensión con ganancia 10^{10}), que además proporciona la constante de proporcionalidad M , que representa la inducción mutua entre el conductor y la espira.

$$V_{fem} = sR_{int}C_{int}i_t$$

Siendo $M = R_{int}C_{int}$, pudiendo ajustar la amplitud con el producto de los valores de estos dos componentes, para que el módulo de la ganancia de la espira del modelo tenga el mismo valor que la espira experimental.

Equivalente de la Espira:

El equivalente de la espira está basado en el circuito equivalente desarrollado en el Departamento de Ingeniería Eléctrica. Según las referencias que nos aportan:

$$L_1, L_2 - L/2 = 120nH$$

$$C_{1esp} = 4pF$$

Ajustando los parámetros tenemos:

- $C_1 = 10pF$ para conseguir que la respuesta del modelo de la espira tenga la frecuencia de resonancia en $f_0 = 110MHz$, igual que la frecuencia de resonancia de la espira experimental (este condensador ajusta el valor la frecuencia de resonancia). Por tanto

$$C_1(10pF) = C_{1\text{ esp}}(4pF) + C_{1\text{ pantalla}}$$

donde $C_{1\text{ pantalla}}$ es la capacidad formada por la espira sobre el plano de tierra de la caja de apantallamiento.

- $R_1, R_2 = 2,5\Omega$, se ajustan para hacer que el Q de la función de transferencia simulada coincida con el real, conformando la forma del pico de resonancia en la simulación a la del pico de las medidas reales.

Entrada del instrumento de medida:

Esta parte del circuito solamente nos servirá para poder comparar la respuesta simulada de nuestro modelo con la respuesta experimental de la espira, que fue medida con un voltímetro vectorial HP8405A.

R_i y C_i representan la impedancia de entrada de este equipo con el que se midieron las características de la espira real, para ajustar el modelo a dicho sistema. Mide la tensión V_{esp} que obtenemos de la espira, que será comparada con la corriente del conductor de DPs.

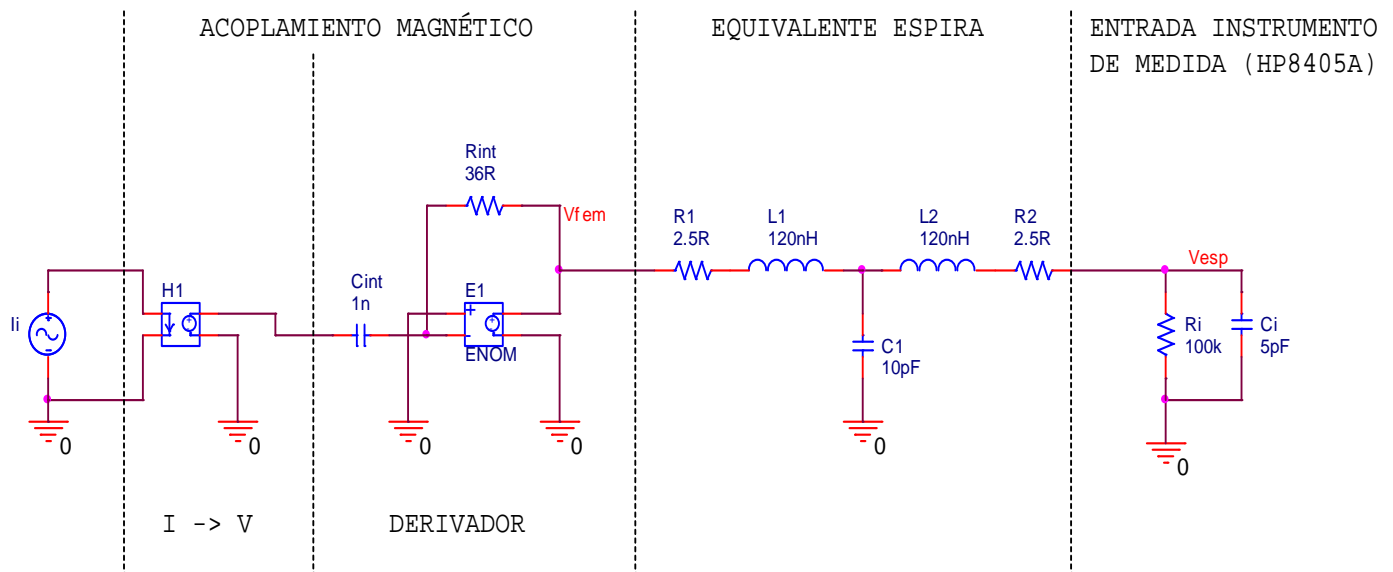


Figura 2.8: Circuito que modela la espira

En la siguiente tabla 2.3 se representan los resultados experimentales de la espira real y los resultados de la respuesta simulada de nuestro modelo de la espira. Se han tomado los valores de la ganancia V_{esp}/i_i en módulo y fase para distintas frecuencias. Nos interesa sobre todo el rango de frecuencias de 1MHz a 100MHz.

Los errores relativos porcentuales de nuestro modelo tienen un promedio de 15,86% para el módulo y de 15,07% de fase, hasta los 110MHz de frecuencia. A partir de esta frecuencia no hemos tenido en cuenta los errores ya que hay diferencias muy grandes, además no nos interesan mucho frecuencias más altas.

El porcentaje de error no es muy alto, lo que quiere decir que hemos desarrollado un modelo de espira que se parece razonablemente a la espira real mostrada en la figura 2.4.



F (MHz)	Experimental		Modelo		Error Relativo	
	Vo/Ii (V/A)	Fase (°)	Vo/Ii (V/A)	Fase (°)	Vo/Ii (V/A)	Fase (°)
1	0,22	90	0,23	89,9	1,16	0,12
2	0,30	90	0,45	89,9	50,25	0,12
4	0,76	90	0,91	89,9	19,19	0,08
8	1,52	90	1,82	89,8	19,98	0,17
10	1,88	90	2,28	89,8	21,57	0,21
20	3,91	94	4,69	89,6	19,83	4,67
40	8,83	96	10,63	89,1	20,33	7,14
80	33,54	105	41,41	87,1	23,45	17,08
100	116,28	105	135,82	81,3	16,81	22,55
101	130,81	105	148,79	80,5	13,74	23,29
102	148,49	102	170,43	79,2	14,78	22,32
103	169,71	100	190,89	78,0	12,49	22,00
104	194,45	100	216,80	76,4	11,49	23,57
105	226,27	100	250,68	74,4	10,78	25,64
106	275,77	95	295,30	71,6	7,08	24,64
107	367,70	90	357,63	67,7	2,74	24,81
108	466,69	85	449,22	61,8	3,74	27,34
109	671,75	70	585,86	52,0	12,79	25,66
110	983,87	40	795,62	34,0	19,13	15,01
111	939,15	0	956,00	6,1		
112	659,64	-25	882,56	-24,5	33,79	1,90
120	144,96	-60	198,68	-79,0	37,06	31,72
200	24,60	-55	45,47	-89,8	84,85	63,27

Tabla 2.3: Comparación de la espira experimental y el modelo

2.2.2 Amplificador-Integrador; Primer Prototipo

Recordando los objetivos que queremos abordar, nuestro circuito ha de cumplir los siguientes requisitos: amplificar e integrar la señal diferencial de la espira, sin distorsionar la fase, para conseguir mayor ganancia y obtener una tensión de salida simple, o “single-ended” proporcional a la corriente de la descarga parcial:

$$V_0(t) = cte \times i(t)$$

En este apartado presentamos el primer circuito prototipo que se realizó, con anterioridad a este proyecto. Se trata de un circuito amplificador-integrador implementado mediante un amplificador operacional OPA847 de Texas Instruments, dispuesto en la salida de la espira real, con una tensión de entrada igual a la tensión de salida de la espira, V_{esp} .

El circuito, representado en la figura 2.9, fue probado experimentalmente, de modo que describiremos los resultados que se obtuvieron y así poder sacar algunas conclusiones.

R_i y C_i representan la impedancia de entrada del equipo HP8405A, con el que se midieron las características del circuito y así obtener los valores experimentales de la ganancia, V_o/V_{esp} .

La función de transferencia del circuito será:

$$\frac{V_o}{V_{esp}} = \frac{1}{2} \left(1 + \frac{R_3}{R_4} \right) \frac{1}{1 + sR_{in}C_{in}} \quad \text{donde } R_{in} \text{ y } C_{in} \text{ introducen el par polo-cero del integrador, y la ganancia es ajustada mediante } R_3 \text{ y } R_4.$$

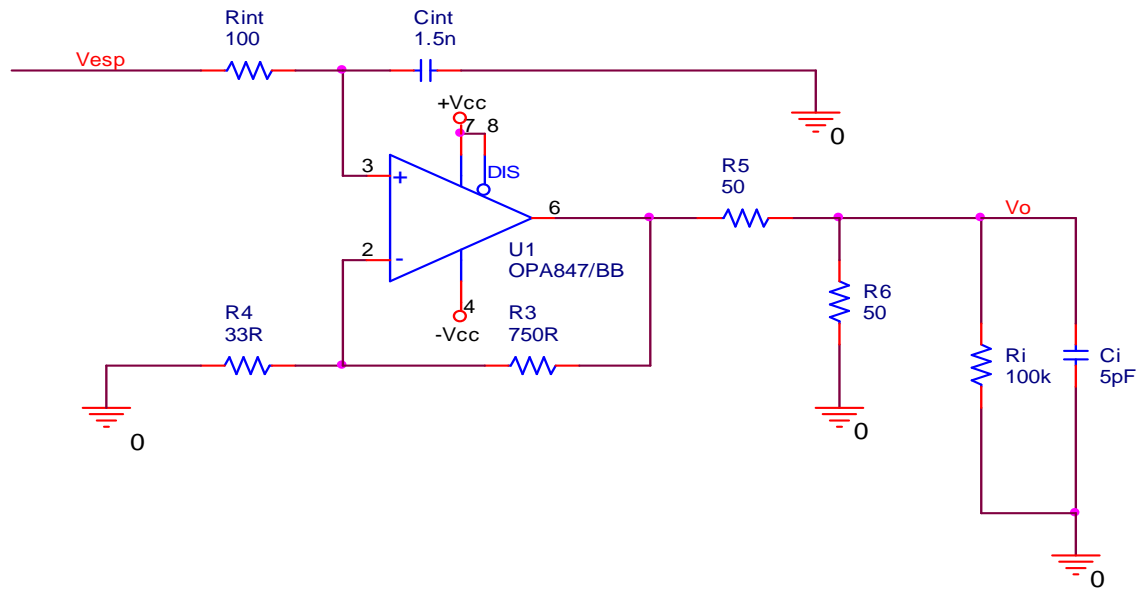


Figura 2.9: Circuito de la Espira con Integrador Operacional OPA847

En el experimento se obtiene el diagrama de Bode de la figura 2.10, en la se representa la respuesta en frecuencia en módulo y fase de la ganancia, que relaciona la tensión de salida del amplificador-integrador con la corriente de entrada, V_o/I_i .

La fase comienza con pendiente negativa en 45° a 1MHz, llegando a 0° en torno a los 9MHz, y aumentando su pendiente negativa a partir de éste punto. En la más alta de las frecuencias de interés, 100MHz, la fase ya se encuentra por debajo de -200° , muy lejos de nuestro objetivo.

El módulo no se mantiene de constante, sino que partiendo de 1 V/A a 1MHz, aumenta o poco a poco hasta 2 V/A a 10MHz, frecuencia a la que empieza a caer, alcanzando 0,33 V/A a 80MHz para luego volver a aumentar.

De cualquier modo, este amplificador-integrador no cumple con nuestro objetivo, ya que queremos más ganancia y más ancho de banda. No mantiene el módulo de la ganancia constante, ni la fase se mantiene a 0° en ningún rango de frecuencias. Por tanto tenemos una tensión de salida V_o que no es proporcional a la corriente de entrada I_i .

Este primer diseño ha sido rechazado por estas conclusiones, lo que nos obliga a tener que buscar otra alternativa que cumpla mejor con los objetivos del proyecto.

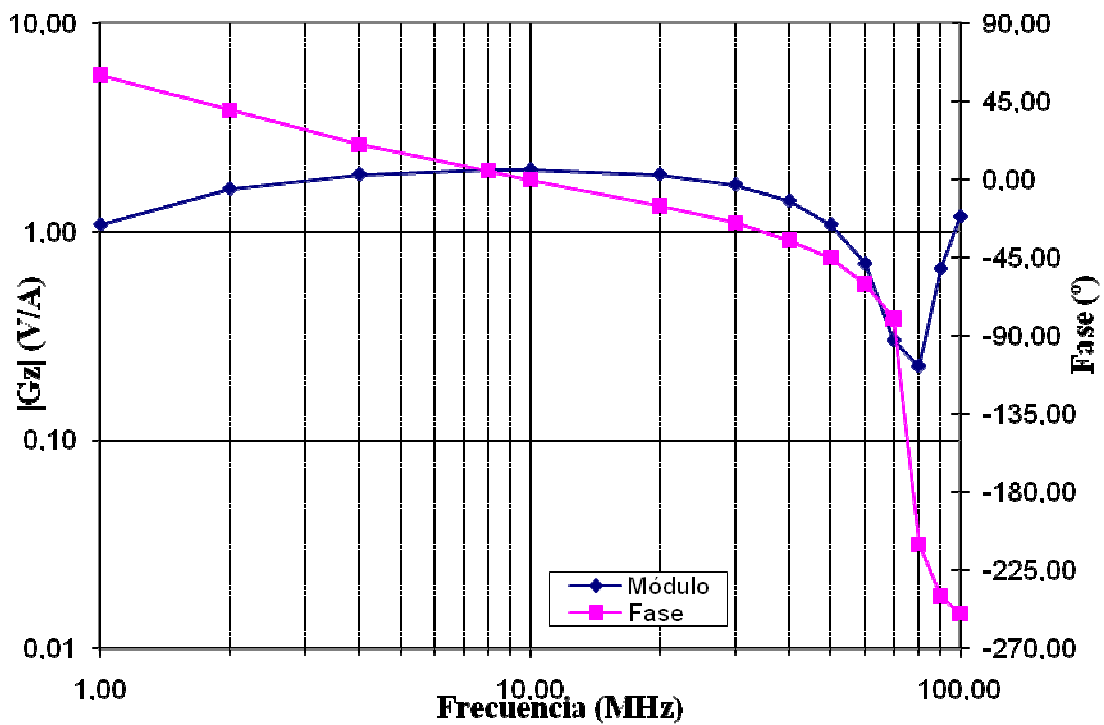


Figura 2.10: Respuesta experimental en frecuencia del integrador OPA847.

Referencias:

[1] Mónica Rojas, Guillermo Robles, Juan Manuel Martínez y Javier Sanz: “*Modelando un nuevo sensor para medidas de pulsos de alta frecuencia: Aplicación a la detección de descargas parciales*”

Actas SAAEI 2009

UC3M, Leganés, Julio de 2009



Capítulo 3:

Diseño Electrónico

3.1 BÚSQUEDA Y SELECCIÓN DE UN AMPLIFICADOR DIFERENCIAL

En el capítulo anterior hemos obtenido la conclusión de la necesidad de un nuevo amplificador-integrador. Lo primero que hemos realizado es un proceso de búsqueda de amplificadores que reuniesen las características adecuadas, para posteriormente elegir alguno que se adapte mejor a nuestros requisitos.

La tensión de salida es diferencial, no está referenciada a tierra, por lo tanto nuestra búsqueda se centrará en buscar amplificadores diferenciales. Los resultados de esta búsqueda se recogen en la siguiente tabla 3.1. Deben cumplir los objetivos, que el BW sea mayor de 100MHz, que la Resistencia de entrada R_{in} sea lo mayor posible, y que la Capacidad de entrada C_{in} sea lo menor posible.

De la tabla 3.1 podemos descartar casi todos los amplificadores menos dos modelos que reúnen buenas características y a priori parece que van a valer para nuestro propósito:

- Opción 1: THS4500, amplificador totalmente diferencial (*Fully Differential Amplifier*)
- Opción 2: VCA824, 1 (*Variable Gain Amplifier*).

Estudiaremos más detenidamente cada uno de ellos, analizando primero el THS4500, ya que es el amplificador que está en desventaja con respecto a los otros dos, para descartar posibilidades si no responde como queremos. Inicialmente vamos a profundizar en este tipo de amplificadores (*Fully Differential Amplifier*) y ver cómo se configuran más detenidamente.



Fabricante	Referencia	BW (MHz)	R _i (Ω)	C _i (pF)	CMRR	Descripción	R _o (Ω)
TEXAS INSTRUMENTS	THS4130/1	150	34Meg	4	95 dB	High-Speed Fully Differential Amplifier	41
	THS4521/2/4	145	110K	1,5	100 dB	Low power Fully Differential amplifier	0,4
	THS4150/1	150	14,4Meg	3,9	83 dB	High-Speed Fully Differential Amplifier	0,4
	THS4140/1	160	14,4Meg	3,9	84 dB	High-Speed Fully Differential Amplifier	43
	THS4504/5	260	10Meg	1	80 dB	Wideband Fully Differential Amplifier	0,1
	THS4500/1	370	10Meg	1	80 dB	Wideband Fully Differential Amplifier	0,1
	THS4502/3	370	10Meg	1	80 dB	Wideband Fully Differential Amplifier	0,3
	THS4520	620	7,5K	0,31	84 dB	Wideband Fully Differential Amplifier	0,2
	THS4511	1600	18,2Meg	1,62	90 dB	Wideband Fully Differential Amplifier	0,3
	THS4513	1600	1,3	1,8	90 dB	Wideband Fully Differential Amplifier	0,3
	THS4509	2000	1,3	1,8	90 dB	Wideband Fully Differential Amplifier	0,3
	THS4508	2000	18,2	2,2	90 dB	Wideband Fully Differential Amplifier	0,3
	THS4509-Q1	2000	1,35	1,77	90 dB	Wideband Fully Differential Amplifier	0,3
	VCA820	150	0,5Meg	1	80dB	Variable Gain Amplifier	0,01
	VCA821	420	0,9Meg	0,6	80dB	Variable Gain Amplifier	0,01
	VCA822	150	0,5MEg	1	80dB	Variable Gain Amplifier	0,01
	VCA824	420	1Meg	1	80dB	Variable Gain Amplifier	0,01
ANALOG DEVICES	AD8330	150	370k	2	100 dB	Difference Amplifier	
	AD8331/2/4	130	200	13		Ultralow Noise VGAs	5
	AD8336	115	900k	3		General-Purpose Wide Bandwidth	2,5
	AD8337	280	70Meg			General-Purpose Wide Bandwidth	1
	AD8367	500	200			Linear VGA, AGC Detector	
	AD829	200	13k	5	120 dB	High Speed, Video Op Amp	
	AD830	85	370K	2	100 dB	Difference Amplifier	

Tabla 3.1: Lista de posibles amplificadores diferenciales para nuestro diseño

3.2 AMPLIFICADOR-INTEGRADOR THS4500

3.2.1 Descripción de un amplificador diferencial

Introducción

Describiremos los amplificadores diferenciales, especialmente los amplificadores totalmente diferenciales (Fully-diferencial amplifier, con dos entradas y dos salidas diferenciales) para comprender su funcionamiento, y conocer sus características, ventajas y aplicaciones.

Las señales diferenciales han sido comúnmente usadas en audio y transmisión de señales durante muchos años debido a su resistencia inherente a fuentes externas de ruido. Actualmente las señales diferenciales comienzan a ser populares en la adquisición de datos de alta velocidad, donde las entradas de los conversores analógico-digital son diferenciales y se necesitan amplificadores diferenciales.

Otras dos ventajas de las señales diferenciales son que reducen el orden de los armónicos y aumentan el margen dinámico.

Nos centraremos en el análisis de métodos electrónicos para el acondicionamiento de señales diferenciales usando estos integrados, amplificadores totalmente diferenciales, tales como la familia **THS45xx** de alta velocidad de Texas Instruments.

Arquitectura y diferencias con los amplificadores operacionales

Los amplificadores diferenciales son similares a los amplificadores operacionales estándar, pero con algunas diferencias. Ambos tienen entradas diferenciales.

Los amplificadores totalmente diferenciales tienen salidas diferenciales y la tensión en modo común de salida puede ser controlada independientemente de la tensión diferencial.

El objetivo de la tensión de entrada V_{ocm} es la de fijar dicha señal de modo común de salida. Estos amplificadores además tienen múltiples vías de realimentación, no solo la realimentación negativa de la salida a la entrada inversora.

La figura 1.1 muestra una versión simplificada de un integrado de estas características. Q1 y Q2 son entradas del par diferencial. Las corrientes de ambos lados se usan para producir tensiones en los nodos de alta impedancia formados en los colectores de Q3/Q5 y Q4/Q6.

OUT+ y OUT- son las dos salidas diferenciales. Una tensión común en IN+ y IN- no produce un cambio en el flujo de corriente a través de Q1 y Q2 y por tanto no produce una tensión de salida, produciendo rechazo.

La salida en modo común no es controlada por la entrada diferencial. El “Vocm error amplifier” mantiene la tensión en modo común de salida a la misma tensión aplicada en el pin Vocm, obteniendo la tensión media entre las dos salidas y comparándola con Vocm. Si no se conecta, Vocm se fija en un punto medio de Vcc y Vee por un divisor interno.

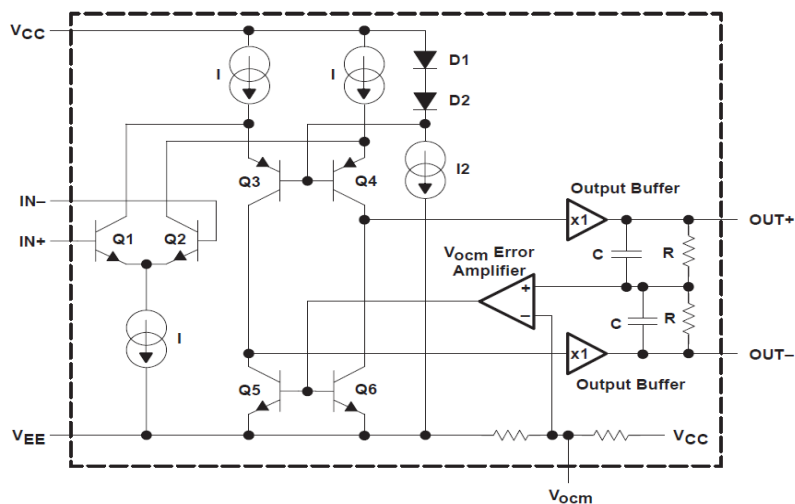


Figura 3.1: Arquitectura interna de un amplificador totalmente diferencial

Inmunidad al Ruido

El ruido aparece y se acopla en los conductores cuando rutamos conexiones tan cerca unas de otras como sea posible, y por el ruido que es común en las fuentes de alimentación externas, mostrándose como tensión en modo común. Dado que los amplificadores diferenciales ejercen rechazo a las tensiones en modo común, son más inmunes al ruido.

Definiciones de tensión

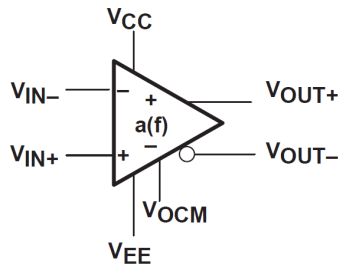


Figura 3.2: Definiciones de las distintas tensiones en los amplificadores diferenciales

Tensiones de Entrada

Tensión diferencial de entrada $V_{id} = (V_{in+}) - (V_{in-})$

Tensión en modo común de entrada $V_{ic} = \frac{(V_{in+}) + (V_{in-})}{2}$

Tensiones de Salida

Tensión diferencial de salida $V_{od} = (V_{out+}) - (V_{out-})$

Tensión en modo común de salida $V_{oc} = \frac{(V_{out+}) + (V_{out-})}{2}$

Función de transferencia

$$V_{od} = V_{id} \times a(f)$$

$a(f)$ es la ganancia diferencial en bucle abierto

Modo Común

$$V_{oc} = V_{ocm}$$

Aumento del Rango Dinámico

Debido a la diferencia de fase entre las salidas diferenciales, la amplitud de la salida aumenta 2 veces más que la amplitud de salida de un amplificador single-ended con la misma tensión de alimentación:

$$V_{od(pp)} = 1 - (-1) = 2 \times \text{salida simple (single ended)}.$$

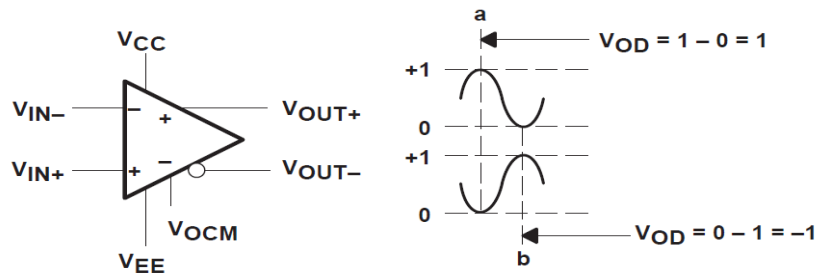


Figura 3.3: Rango dinámico de la tensión de salida diferencial

Aplicaciones. Circuito básico

En un amplificador totalmente diferencial hay dos posibles caminos de realimentación, uno por cada lado. Para mantener el equilibrio en estos amplificadores, la realimentación simétrica se debe tomar de ambas salidas y se aplica a ambas entradas. Las dos partes forman amplificadores inversores simétricos, pudiendo adaptar fácilmente las topologías de circuitos habituales del amplificador operacional a los amplificadores totalmente diferenciales.

La Figura 3.4 muestra cómo mantener un amplificador equilibrado mediante realimentación simétrica, donde las resistencias de realimentación, R_f , y las resistencias de entrada, R_g , son iguales. Es importante mantener la simetría en las dos vías de realimentación para mantener una buena relación de rechazo al modo común, CMRR.

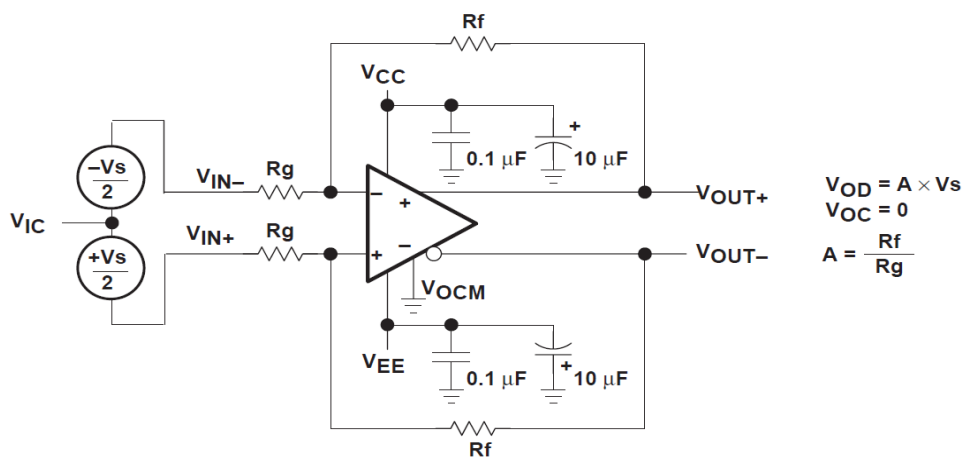


Figura 3.4. Circuito básico de un amplificador totalmente diferencial

3.2.2 Respuesta del amplificador diferencial THS4500

Diseñamos un circuito básico para analizar la respuesta del amplificador antes mencionado THS4500, un amplificador totalmente diferencial. Tiene un ancho de banda de 370MHz y a priori cumple los requisitos requeridos.

El diagrama de pines de este amplificador es el siguiente, que incluye dos pines de entrada (V_{in+} y V_{in-}), dos pines de salida (V_{out+} y V_{out-}), dos entradas de alimentación (V_{s+} y V_{s-} , conectadas a $\pm 5V$), la entrada V_{ocm} (pin de control del modo común de la salida) y PD (pin opcional para “apagar” el amplificador que no usaremos):

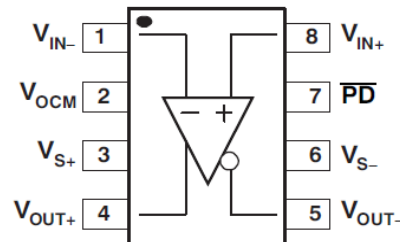


Figura 3.5: Diagrama de pines del integrado THS4500

El amplificador está configurado de una forma básica, (ver figura 3.6), similar a la que proporciona el fabricante, intentando mantener unas condiciones ideales, incluso la señal de entrada será proporcionada por una fuente de tensión ideal. De esta forma, si el amplificador THS4500 no responde como necesitamos, no perderemos el tiempo en diseñar un circuito que saque todo el rendimiento del integrado. La alimentación $\pm V_{cc} = \pm 5V$.

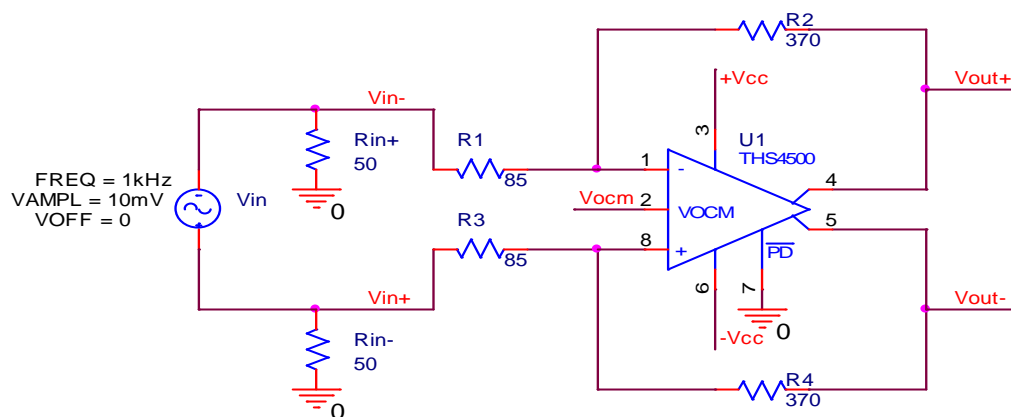


Figura 3.6: Circuito con amplificador diferencial THS4500

Se realizó una simulación Spice, usando el modelo que nos proporciona el fabricante del circuito de la figura 3.6, para analizar su respuesta en frecuencia.

En la figura 3.7 está representado diagrama de Bode de la ganancia en tensión del circuito. Se observa como el módulo (traza verde) se mantiene en 14dB aproximadamente, hasta una frecuencia considerable de 30 MHz, pero insuficiente. La fase responde peor, ya que se mantiene a 0° solamente hasta 1MHz, donde comienza a bajar llegando a -45° a 65MHz. Si aumentamos la ganancia distorsionamos la fase a frecuencias aún más bajas. La respuesta del módulo de la ganancia es bastante aceptable, pero la fase responde de forma insuficiente, lo que es lógico ya que el polo que limita la respuesta en frecuencia del amplificador, situado a unos 75MHz, empieza a perturbar apreciablemente la fase una década antes, esto es, a unos 7,5MHz.

Concluimos descartando este amplificador diferencial, por no dar la respuesta adecuada; por tanto, no lo utilizaremos como amplificador-integrador de este proyecto, necesitamos mayor ancho de banda y, sobre todo, mejor respuesta en fase. En el siguiente apartado, diseñaremos un circuito utilizando los amplificadores de ganancia variable de la familia del VCA824, justificando nuestra elección.

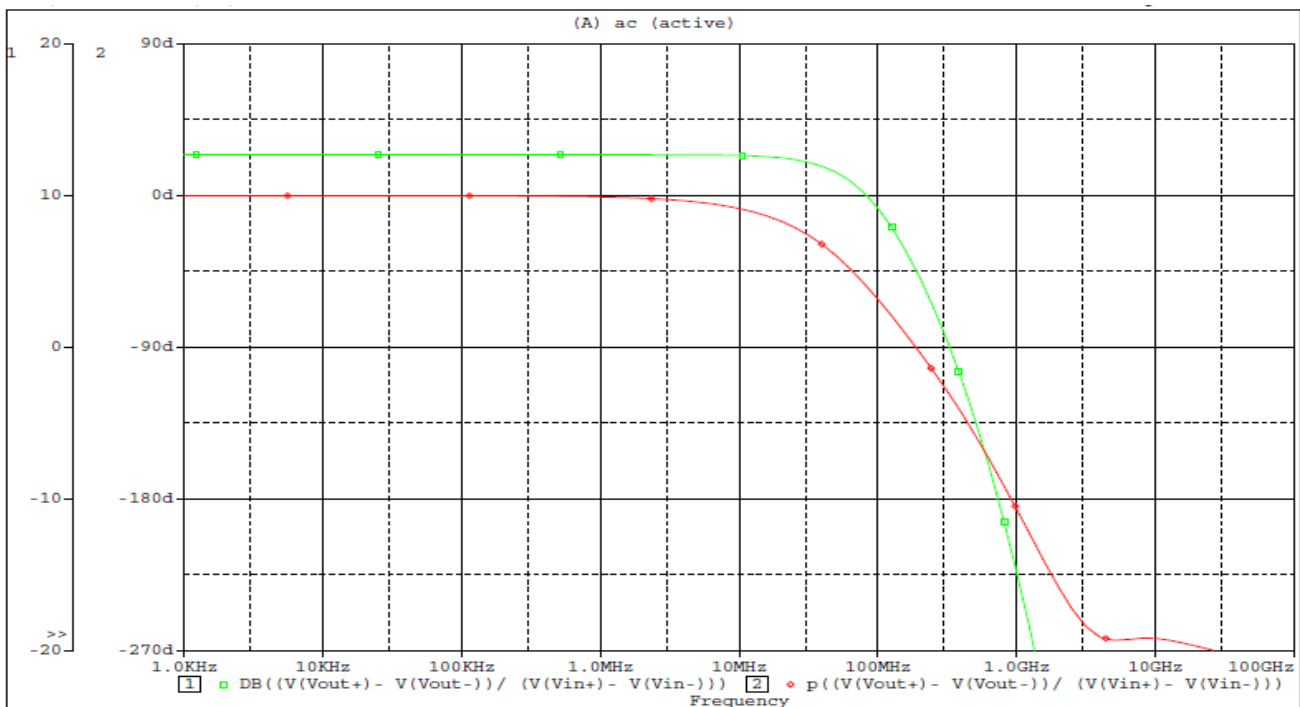


Figura 3.7: Respuesta en frecuencia del amplificador diferencial THS4500

3.3 DISEÑO DEL CIRCUITO CON EL INTEGRADO VCA824

En este apartado se expone el desarrollo seguido en el proceso del diseño del circuito electrónico definitivo que daremos por válido, el cual consta tanto del diseño del circuito, su análisis y simulaciones, como del diseño la placa de circuito impreso (PCB), exponiendo los criterios de diseño. Además justificaremos la elección del amplificador usado e incluso describiremos sus características funcionales y de configuración más en profundidad.

3.3.1 Introducción

Como hemos comprobado en anteriores apartados, debemos utilizar otro componente que haga cumplir con mayor conformidad los objetivos del proyecto. En la Tabla 3.7 aparece la lista de todos los posibles integrados candidatos que se han buscado. De todos los presentes, llama especialmente la atención, como ya comentamos, la serie VCA del grupo de amplificadores de ganancia variable de Texas Instruments (*Variable Gain Amplifier*), mostrados en la tabla 3.2.

	<i>BW (MHz)</i>	<i>Ri (MΩ)</i>	<i>Rango de ajuste de Ganancia</i>	<i>Ruido de entrada (nV/$\sqrt{\text{Hz}}$)</i>
VCA820	150	0,5Meg	40dB	8,2
VCA821	420	0,9Meg	40dB	6
VCA822	150	0,5MEg	40dB	8,2
VCA824	420	1Meg	40dB	6

Tabla 3.2: Tabla de amplificadores de ganancia variable VCAxxx

Utilizamos concretamente el modelo VCA824, centrando nuestro interés en las características que tiene tan acordes con nuestro problema. Algunas de sus características más importantes son que poseen un gran ancho de banda y una particularmente interesante, tienen una red de ecualización que permite ajustar la respuesta en fase, que era nuestro principal problema con el amplificador anterior (THS4500). Además tiene ganancia variable controlada por tensión, lo que nos

permitirá ajustar fácilmente la sensibilidad de nuestro sensor de corriente, sin tener que cambiar componentes en el circuito de acondicionamiento.

Vamos a proceder en este capítulo a diseñar e implementar un circuito electrónico con el que podamos verificar, mediante pruebas simuladas en SPICE, el cumplimiento de los objetivos principales. En especial, por sus características (ver la tabla 3.2) escogeremos el integrado VCA824, que pasaremos a describir y analizar más a fondo antes de trabajar con él. Además es de fácil adquisición en pequeñas cantidades, lo que es importante para poder hacer los prototipos.

3.3.2 Integrado VCA824

El integrado VCA824 es un amplificador acoplado en DC, de banda ancha (420MHz), con ganancia variable controlada por tensión, lineal en V/V. Permite la conversión de una entrada diferencial a una single-ended, con una entrada de control de ganancia de alta impedancia que se utiliza para variar la ganancia.

La arquitectura interna del VCA824 consta de dos entradas buffer y una etapa amplificadora con realimentación de corriente de salida, con un núcleo multiplicador que proporciona un sistema amplificador de ganancia variable (VGA, “Variable Gain Amplifier”).

La ganancia máxima se fija externamente con dos resistencias (resistencia de ganancia R_G y la resistencia de realimentación R_F), proporcionando flexibilidad en los diseños, destinada a estar fijada entre +2V/V y +40V/V. La alimentación del integrado es de $\pm 5V/V$, y tiene además una tensión de control de ganancia (ver pin V_G en la figura 3.8), que permite ajustar la ganancia linealmente en V/V variando esta tensión de control de +1V a -1V. Por ejemplo, fijado para una ganancia máxima de +10V/V, el VCA824 ofrece una ganancia variable desde 10V/V con +1V de tensión de control, a 0,1 V/V con -1V de tensión de control.

Algunas de sus configuraciones de este integrado son: amplificador con ganancia variable de banda ancha, amplificador diferencial, ecualizador diferencial.

Amplificador con Ganancia Variable de Banda Ancha

Como muestra la figura 3.8, la etapa de entrada del VCA824 sitúa, entre las salidas de los dos buffer de entrada, la resistencia R_G , de modo que la corriente por esta resistencia siempre vale $((+V_{IN}) - (-V_{IN}))/R_G$, obteniéndose una función de transferencia de transconductancia, $I_{RG} = g_m ((+V_{IN}) - (-V_{IN}))$, en la que g_m es precisamente $1/R_G$. A medida que aumenta la tensión diferencial de entrada, aumenta la corriente de la señal I_{RG} generada a través del elemento de control de ganancia R_G . Esta corriente es entonces multiplicada por un factor $\times 2$ antes de llegar al multiplicador.

La otra entrada del multiplicador es el pin de la tensión de control de ganancia, V_G . Dependiendo de la tensión que fijemos en V_G , se consigue como máximo dos veces la corriente I_{RG} en la etapa de salida de transimpedancia. La etapa de salida de transimpedancia es un amplificador realimentado que proporciona la tensión de salida $V_{OUT} = 2I_{RG}R_F$ como máximo.

Por tanto, la ganancia vendrá dada por $\frac{V_{OUT}}{V_{IN+} - V_{IN-}} = 2 \frac{R_F}{R_G}$ en su valor máximo.

La figura 3.8 muestra el amplificador con ganancia de $+10V/V$. En el encapsulado SO-14, que es el que utilizaremos, hay un pin de tensión de referencia, V_{REF} , que debe ser conectado a tierra a través de una resistencia de 20Ω para evitar posibles oscilaciones de la etapa de salida.

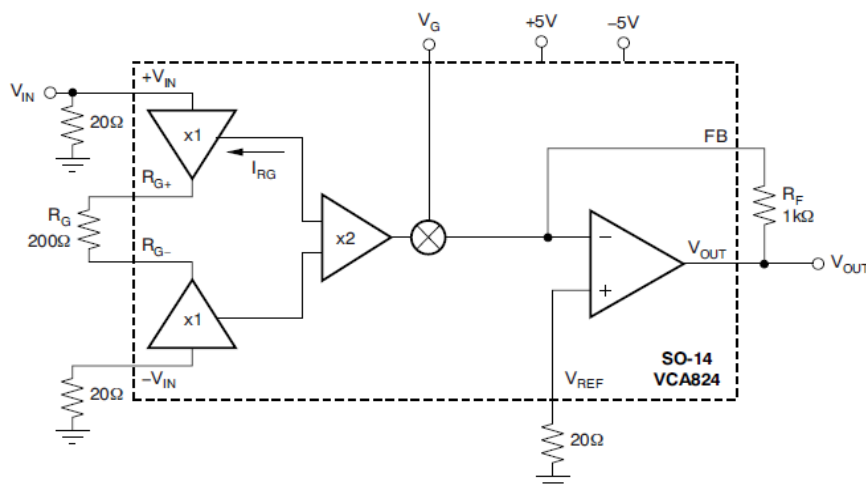


Figura 3.8: Integrado VCA824 configurado para $A_{Vmax} = +10V/V$

Amplificador Diferencial

Debido a que ambas entradas del VCA824 presentan alta impedancia, se puede implementar un amplificador diferencial sin problemas, mostrado en la figura 3.9.

Este circuito proporciona una excelente relación de rechazo de modo común (CMRR) siempre y cuando la entrada se encuentre dentro del rango CMRR de -2.1V a 1.6V. Se recomienda elegir R_S tal que el polo formado por la R_S y la capacidad parásita de entrada no limite el ancho de banda del circuito.

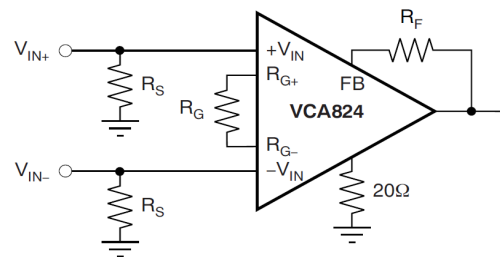


Figura 3.9: VCA824 configurado como amplificador diferencial

Ecualizador Diferencial

Si la aplicación, como es nuestro caso, requiere ajustar la respuesta en frecuencia (especialmente la fase), el VCA824 tiene cierta ventaja debido a que su arquitectura permite modificar la respuesta de la fase de forma relativamente aislada de los elementos de ajuste de ganancia. Esta será la configuración que necesitamos para resolver nuestro problema.

La Figura 3.10 muestra una implementación de este tipo de configuración. La función de transferencia se muestra en la siguiente ecuación:

$$G = 2 \times \frac{R_F}{R_G} \times \frac{1 + sR_G C_1}{1 + sR_1 C_1}$$

La red de ecualización formada por R_1 y C_1 es la que nos permite ecualizar la fase una vez fijada la ganancia

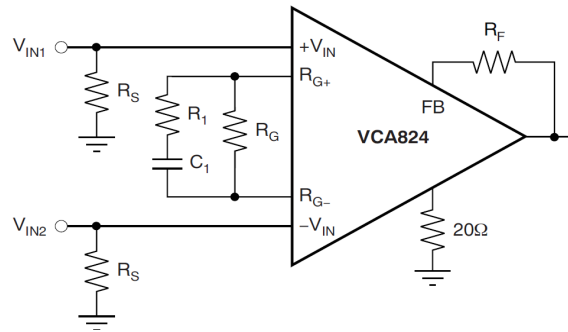


Figura 3.10: VCA821 configurado como ecualizador diferencial

Esta función de transferencia tiene un cero, Z_1 (situado en $R_G C_1$), y un polo, P_1 (situado en $R_1 C_1$). Al ecualizar una carga R_C , R_L y C_L , hay que compensar el polo añadido por la carga situada en $R_L C_L$ con el cero Z_1 . Conocer R_L , C_L , y R_G permite al después seleccionar C_1 , como un primer paso, y luego calcular R_1 .

Por ejemplo, utilizando una $R_L = 75\Omega$, $C_L = 100\text{pF}$ y configurando el VCA824 para obtener una ganancia de 1 V/V, lo que da $R_F = R_G = 453\Omega$, permite seleccionar $C_1 = 15.5\text{pF}$. Con todos estos valores conocidos, para lograr un ancho de banda de mayor 300 MHz, R_1 se puede tomar de 20Ω .

En la figura 3.11 podemos ver la repuesta en frecuencia inicial sin ecualizar y la repuesta en frecuencia una vez ecualizado.

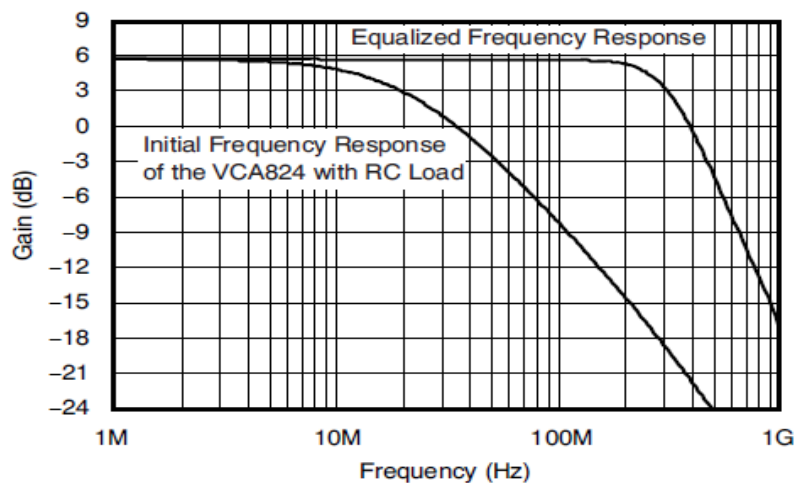


Figura 3.11 Respuesta del VCA824 con y sin ecualizar.

Conclusión

El amplificador diferencial VCA824 se convierte en el elemento que buscábamos debido a que sus características son apropiadas para resolver nuestro problema:

- *Gran ancho de banda, 470MHz*
- *Red de ecualización de fase*
- *Ganancia variable controlada por tensión*

Pasamos ahora a desarrollar un circuito que se adapte a la salida de la espira y que cumpla con nuestro propósito:

- Amplificador-Integrador, de 100MHz de ancho de banda, de forma que, obtengamos una tensión proporcional a la corriente de las descargas parciales, $V_0(t) = cte \times i(t)$, y además no se distorsione la fase.

3.3.3 Diseño del circuito Amplificador-Integrador VCA824 definitivo

Para comenzar a desarrollar nuestro diseño, tenemos que configurar nuestro integrado como un ecualizador diferencial, visto en el anterior apartado, conectándolo directamente a la espira. La idea es obtener una tensión proporcional a la corriente de DPs, entre un rango de frecuencias de 1MHz a 100MHz mínimo, con una desfase de 0°.

A) Espira con Amplificador Diferencial Monoetapa VCA824

Después de configurar el integrado VCA824 como amplificador diferencial con ecualización de fase, hemos realizado un proceso de ajuste del valor de los componentes, de manera que consigamos mantener un desfase de 0°, y el módulo de la ganancia lo más lineal posible hasta los 100MHz, teniendo en cuenta que cuanto más aumentemos la ganancia mediante $RF1$ y $RG1$ menos ancho de banda conseguiremos.

El circuito eléctrico que modela la espira que utilizamos para realizar las simulaciones es el que se creó en el capítulo 2. El circuito obtenido tras el ajuste de los valores se representa en la siguiente figura 3.12. El integrado va alimentado a $\pm 5V$, y

V_G siempre lo mantendremos a 1Vdc, ya que necesitamos aumentar la sensibilidad de la espira y para ello trabajaremos a la ganancia máxima.

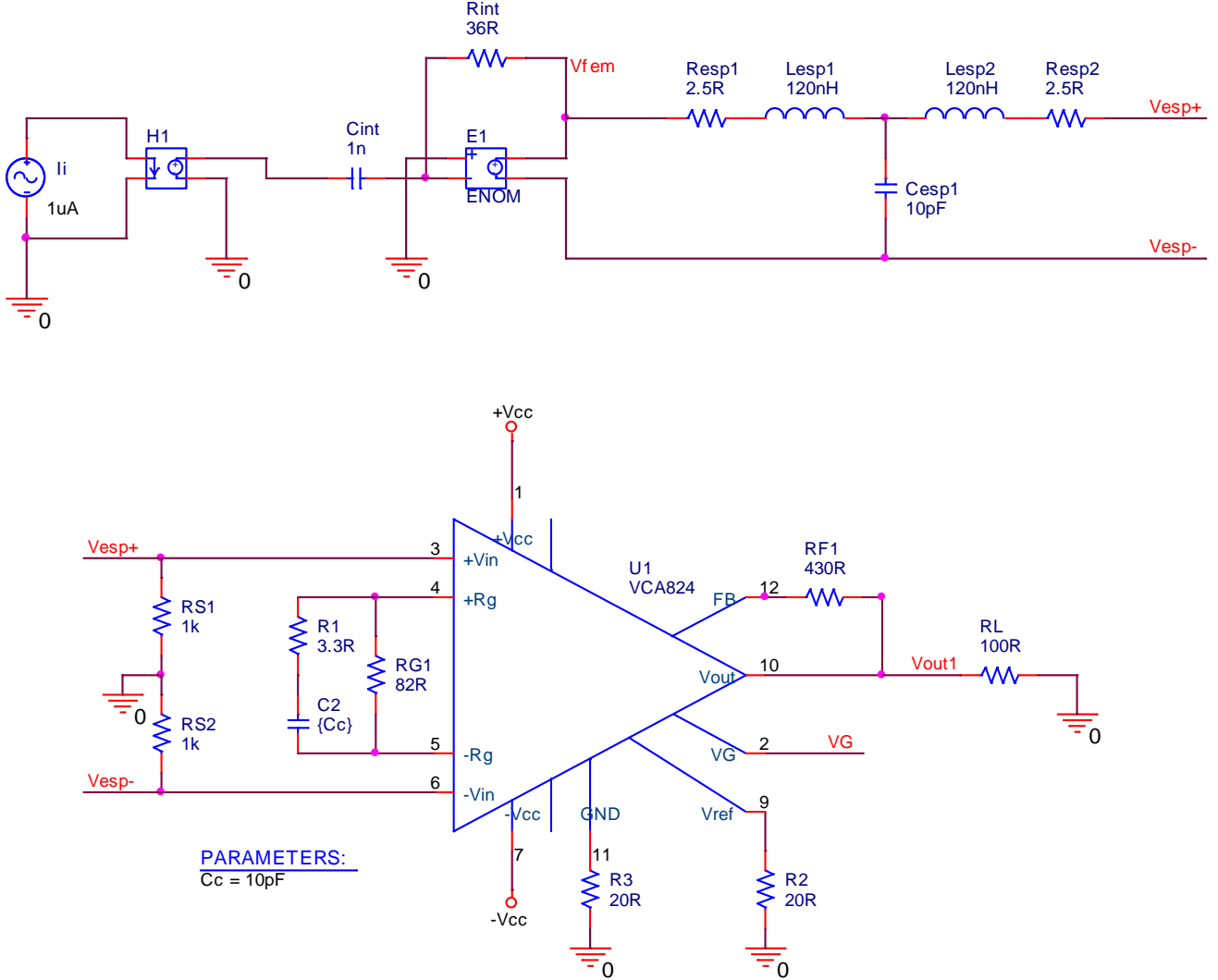


Figura 3.12: Circuito Espira con Amplificador VCA824 monoetapa

La ganancia máxima del circuito será la siguiente:

$$G_{max} = 2 \times \frac{RF1}{RG1} \times \frac{1 + sRG1C2}{1 + sR1C2}$$

El polo $R1 \cdot C2$ forman la red de ecualización de fase, y dependiendo de su valor provocará grandes ventajas a nuestro diseño. La ganancia la fijamos con $RF1$ y $RG1$ a un valor de aproximadamente 10 V/V (20dB).

Simulación Spice del circuito

Como observamos en el circuito 3.12, el circuito tiene un condensador $C2$ que depende del parámetro Cc , que toma valores 0pF, 10pF y 22pF. Esto lo hacemos para que, al simular la respuesta en frecuencia, veamos cómo afecta la red de ecualización de fase. Nótese que para $Cc=0pF$ la respuesta es sin ecualización.

La respuesta en frecuencia del circuito de la simulación paramétrica Spice se representa en la figura 3.13, en la que las curvas se distinguen por colores y símbolos, mostrándose la ganancia de la espira, $\Delta V_{esp}/I_i$, y la ganancia del circuito completo, V_{out}/I_i .

Espira: vemos como la respuesta de la espira es la misma que la que obtuvimos cuando desarrollamos el modelo de la espira, capítulo anterior. La red de ecualización no afecta a la espira, y obtenemos las mismas curvas para los distintos valores del condensador $C2$. El módulo es amarillo, y la fase azul claro.

Espira + Amplificador Diferencial: la respuesta se ve afectada por el valor del condensador $C2$. Al aumentar el valor de la capacidad (0pF verde, 10pF rojo, 22pF azul) aumenta el valor del módulo de la ganancia $\Delta V_{esp}/I_i$ y además la fase se mantiene constante hasta frecuencias más altas.

La salida del circuito amplificador es muy similar a la de la espira pero amplificada, de hecho podemos comprobar que la ganancia se corresponde con el valor teórico, de unos 10 V/V. La resonancia del circuito se ha desplazado desde los 110MHz de la espira aislada a unos 103MHz. La ventaja de utilizar este integrado es que, a pesar de no mantener constante la fase hasta los 100MHz, podemos ajustarla y aumentar la zona de respuesta constante de la fase, a consta de aumentar amplitud de de la ganancia sobre todo en zonas próximas a los 100MHz.

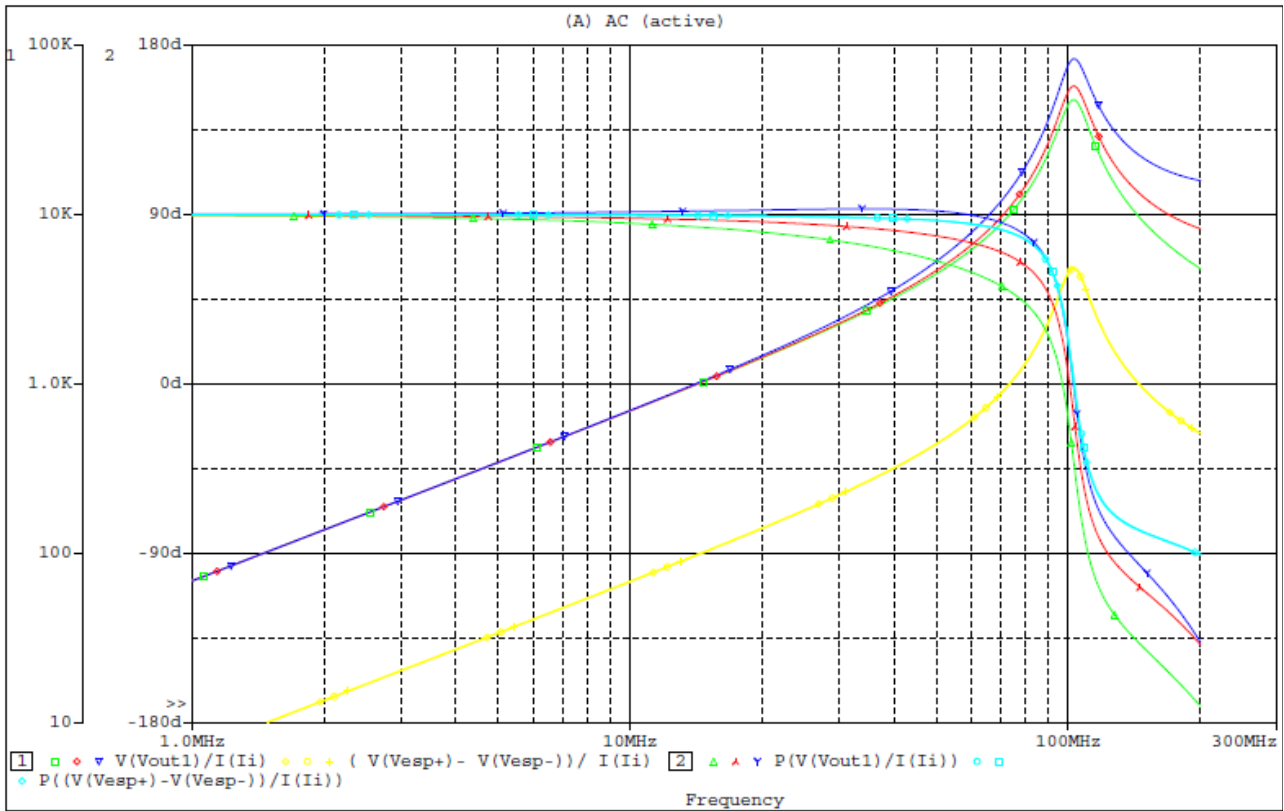


Figura 3.13: Respuesta paramétrica en frecuencia de la espira + amplificador diferencial

B) Espira con Integrador Diferencial Monoetapa VCA824

Ahora configuramos el integrado VCA824 como integrador, mediante un condensador en la realimentación. El circuito que vamos a analizar será el que forma la espira con este integrador, de forma que consigamos una ganancia proporcional a la corriente de la espira, figura 3.14.

El polo del integrador es $RF1 \cdot C3$, que provoca que, a partir de $f=1/2\pi RF1C3$, el módulo sea constante al introducirse una pendiente de -20dB/dec. y que, a partir de $f=10/2\pi RF1C3$, la fase baje a 0° , al ser corregidos los $+90^\circ$ del sensor por los -90° del polo del integrador. El circuito se representa en la figura 3.14, y la ecuación de la ganancia será:

$$G_{max} = 2 \frac{RF1 || Z_{C3}}{RG1} \frac{1 + sRG1C2}{1 + sR1C2} = 2 \frac{RF1}{RG1} \frac{1}{(1 + sRF1C3)} \frac{1 + sRG1C2}{1 + sR1C2}$$

Para que la integración sea efectiva de 1MHz en adelante, debe ponerse el polo del integrador a una frecuencia de unos 100kHz.

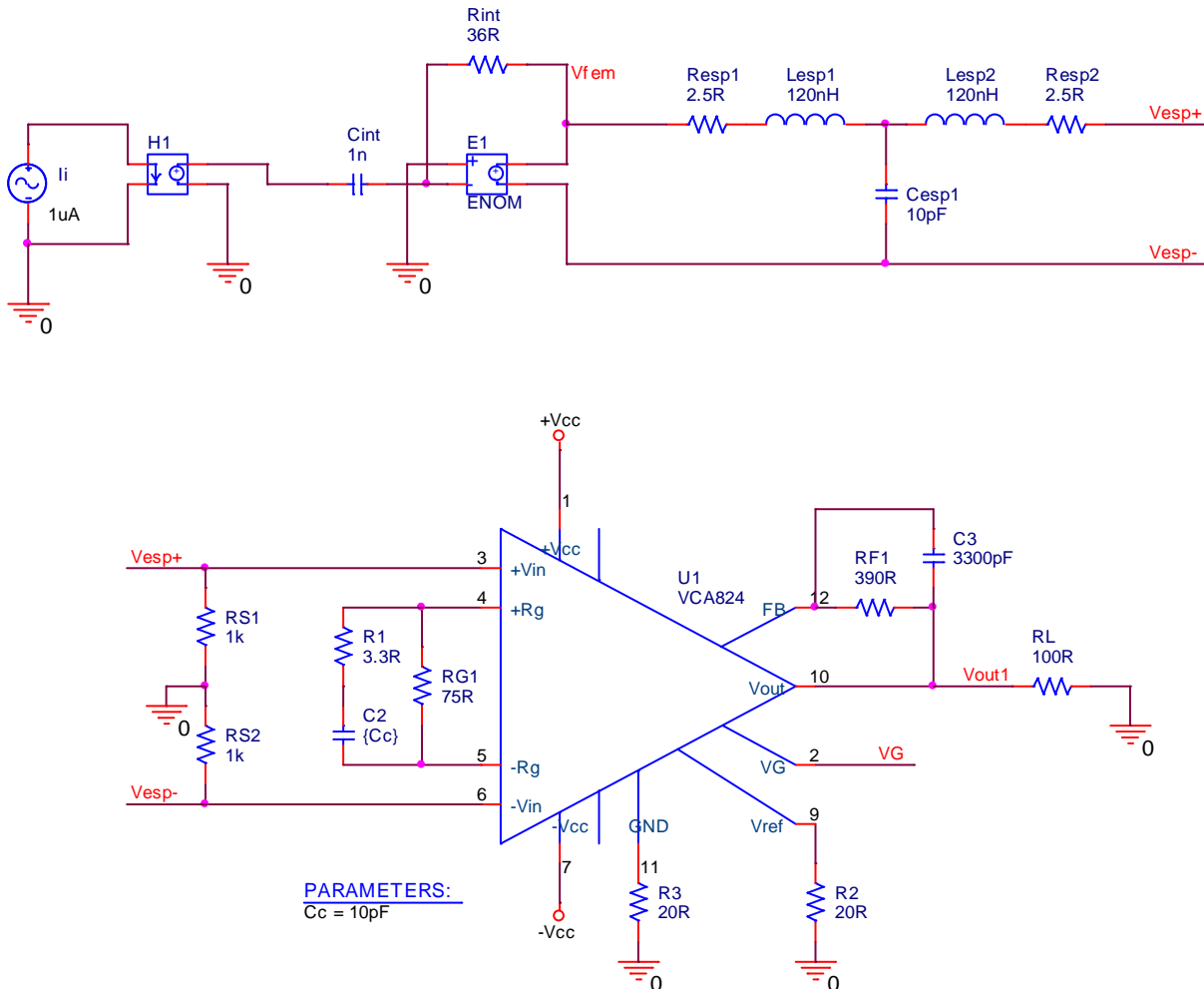


Figura 3.14: Circuito Espira con Integrador VCA824 monoetapa

La simulación Spice de la ganancia V_{out1}/I_i del circuito nos proporciona la siguiente respuesta en frecuencia, figura 3.14. La simulación es paramétrica, por lo que obtenemos distintas curvas del módulo y la fase. El condensador C2 varía con respecto a los valores que toma su parámetro (0pF verde, 10pF rojo, 22pF azul).

La respuesta de la espira (amarillo) en módulo y fase no ha cambiado, es la misma que en apartado anterior. Ahora vemos como la fase se mantiene alrededor de 0° y el módulo es constante, siendo inevitable el crecimiento que comienza a experimentar según se acerca a la resonancia de la espira.

Observamos cómo influye la red de ecualización de la fase. Al aumentar C_2 aumenta también el módulo, pero la respuesta de la fase es mucho mejor. Para un valor de intermedio de $C_2=10\text{pF}$ tenemos una mejor respuesta, ya que la fase se mantiene a 0° hasta frecuencias más altas, y el módulo no aumenta demasiado, no tiene un pico tan alto en la resonancia (apenas hay variación en la respuesta en amplitud con respecto a $C_2=0\text{pF}$ y sin embargo, la respuesta en fase mejora notablemente, manteniéndose cercana a 0° hasta frecuencias mucho más elevadas).

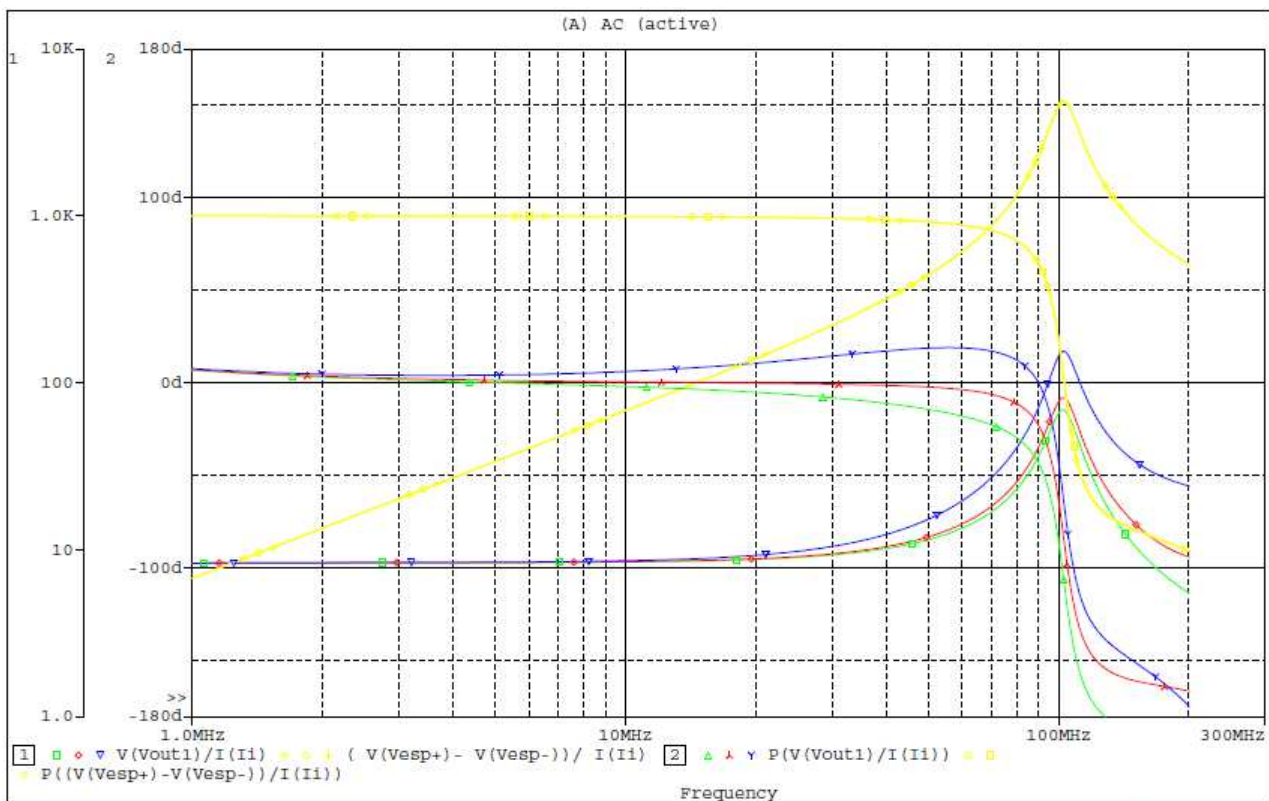


Figura 3.15: Respuesta paramétrica en frecuencia de la espira con el integrador VCA824

C) Espira con Amplificador-Integrador bietapa VCA824

Ahora vamos a describir el diseño del circuito amplificador-integrador, que será un circuito que consta de dos etapas, el integrador, dispuesto a la salida de la espira, y el amplificador situado a continuación del integrador, consiguiendo así la tensión proporcional a la corriente que buscamos, y además aumentar considerablemente la sensibilidad de la espira. Tras ajustar los componentes, se ha llegado a obtener el siguiente circuito de la figura 3.16.

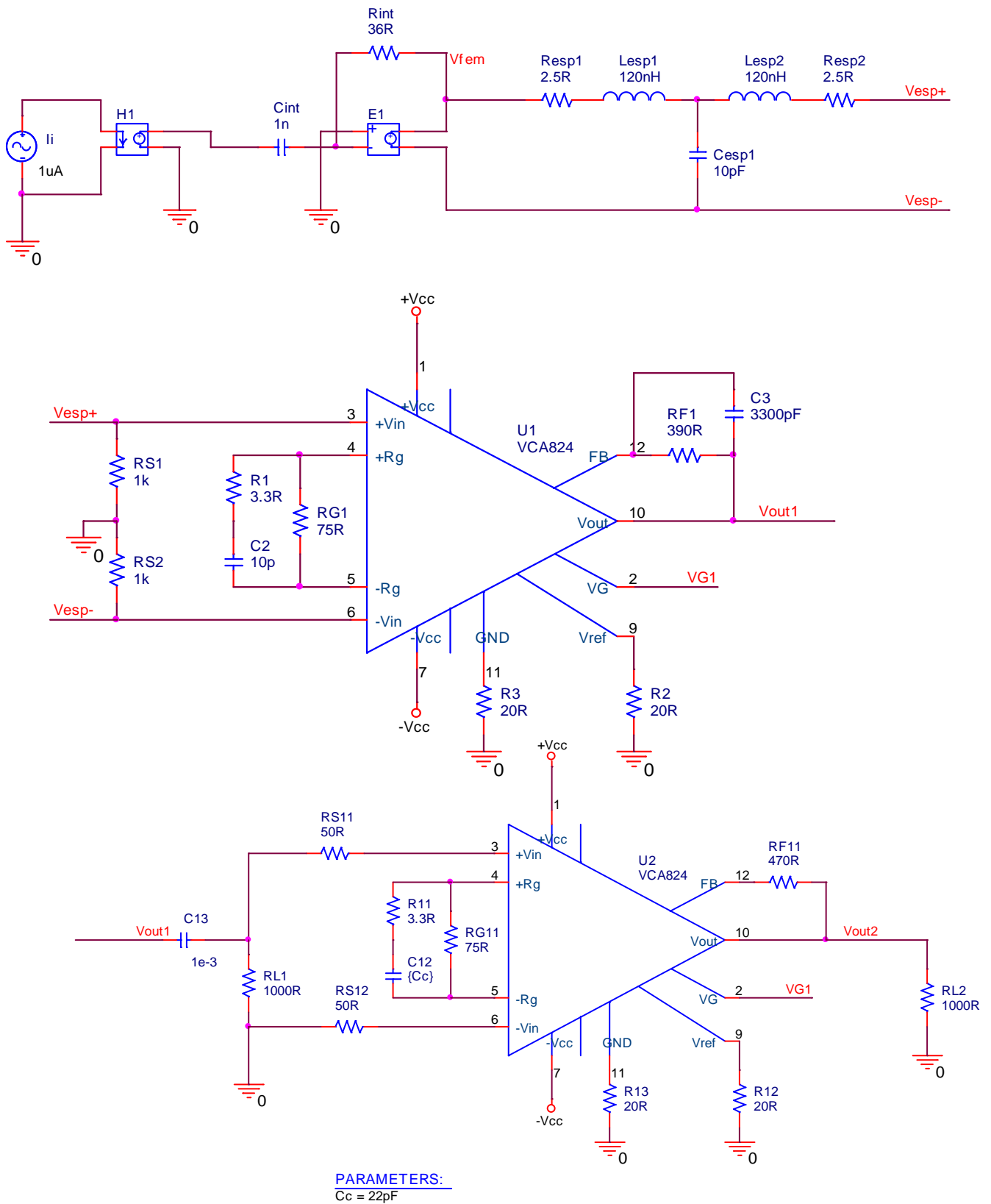


Figura 3.16: Circuito Espira con Amplificador-Integrador VCA824 bietapa

La respuesta en frecuencia de este circuito la analizamos mediante una nueva simulación Spice del circuito, como mostramos en la figura 3.17. Se muestra la ganancia del circuito completo, V_{out2}/I_i , en módulo y fase. La respuesta de la espira (amarillo) en módulo y fase (azul claro) no ha cambiado, es la misma que en apartado anterior.

También esta vez, hemos realizado la simulación en función del parámetro C_c del condensador de la red de ecualización C_{12} (0pF azul, 22pF rojo, 47pF verde), para observar cómo influye en la respuesta.

Al aumentar el valor de C_{12} aumentamos la amplitud, sobre todo en la zona resonante, pero mantenemos más constante la fase hasta frecuencias más altas.

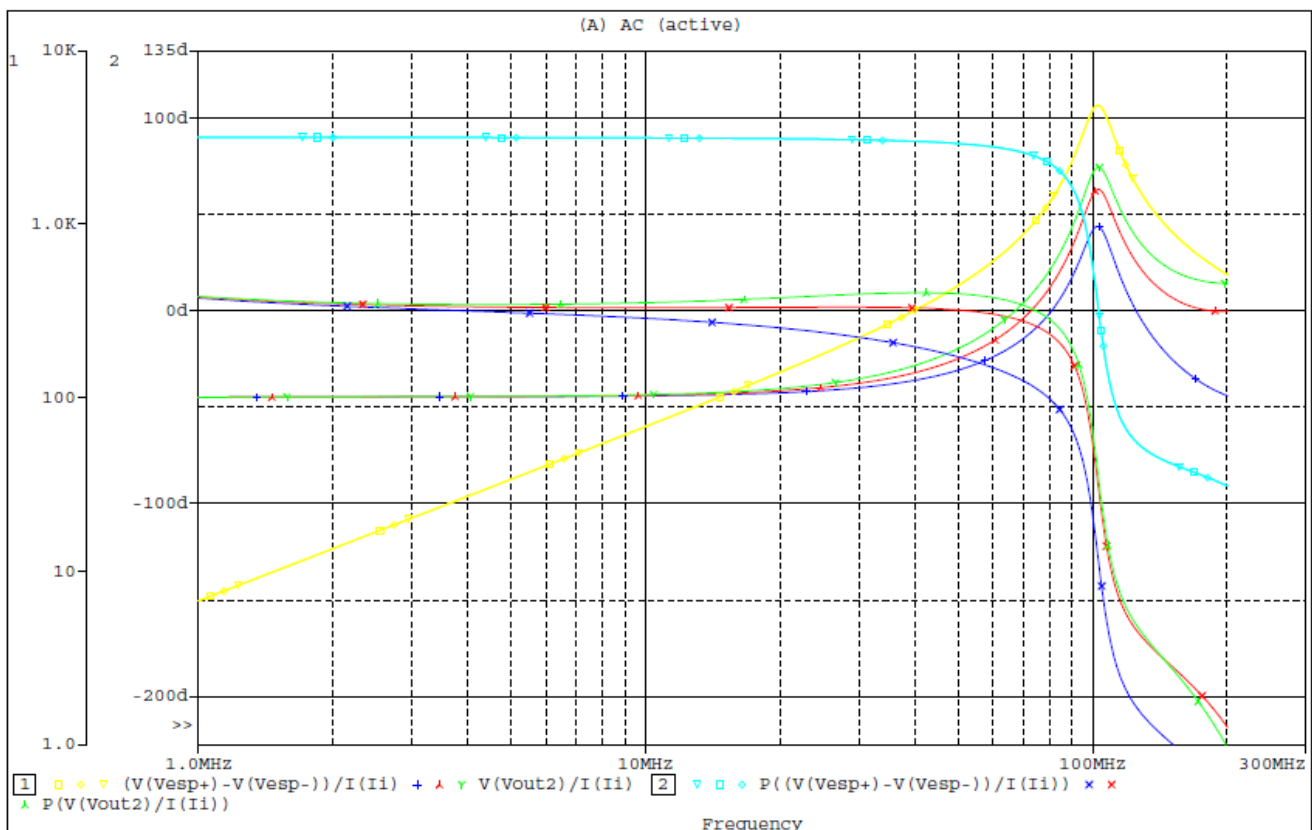


Figura 3.17: Respuesta paramétrica en frecuencia de la espira con integrador-amplificador

Analizando más en detalle la figura 3.15 observamos lo siguiente:



Para un valor de $C_{12}=22\text{pF}$ obtenemos la respuesta más acorde con nuestros objetivos. Para este valor la fase es constante a 0° hasta aproximadamente los 60MHz , a partir de la cual empieza a caer, pasando por -60° a 100MHz . El módulo, al ser una capacidad intermedia, no tiene tanta amplitud a 100MHz que con un condensador de más capacidad.

El circuito nos proporciona una tensión proporcional a la corriente de entrada (a pesar del pico de amplitud que se produce en la resonancia, que es por causa de la espira y no podemos evitarlo) y la fase, que se mantiene a 0° , se distorsiona a frecuencias más altas que todo lo que se había hecho anteriormente. Además hemos elevado la sensibilidad del sensor inductivo hasta unos 100 V/A .

Por estas razones podemos decir que este circuito será el que utilizaremos para realizar la placa, debido a que cumple en gran medida con los objetivos del proyecto.

Además la conclusión más importante de este circuito, es que podemos ajustar su respuesta en módulo y fase mediante R_F y R_G y la red de ecualización R_1 - C_2 , aportándole grandes ventajas debido a que una vez fabricado podremos ajustar sus valores como más nos interese.

3.4 Diseño Y Fabricación De La Placa de Circuito Impreso (PCB)

En este apartado diseñaremos la placa de circuito impreso para montar el circuito diseñado, apoyándonos en una aplicación software para diseñar, rutar y fabricar placas de circuito impreso (OrCAD PCB). Realizaremos la PCB de los dos circuitos diseñados en el anterior apartado anterior, pero éstos estaban diseñados para ser simulados, así que tendremos que realizar algún cambio. Estas dos PCB serán:

- Prototipo 1: Amplificador-Integrador Monoetapa
- Prototipo 2: Amplificador-Integrador Bietapa

3.4.1 Diseño real del circuito para realizar la PCB

Antes de realizar el diseño de cada PCB tenemos que preparar el circuito con el que vamos a generar la placa, distinto al utilizado en las simulaciones.

El punto de partida es el esquemático ya realizado de los circuitos. Por tanto, para simular el circuito en general hay que colocar fuentes de alimentación (tensión o corriente), al igual que una carga. Pero cuando se realice la placa del circuito impreso donde van a ir soldados los componentes reales, estos elementos deben ser sustituidos por conectores de entrada y salida. En la placa real, las fuentes de tensión y la carga se conectarán a la placa mediante estos elementos.

Si queremos realizar un esquemático de un circuito que pretendamos simularlo y construirlo, es importante configurar el circuito de modo que puedan coexistir las fuentes y los conectores, manteniéndose intactas las posibilidades de simulación del circuito. Para ello deben ponerse los conectores en paralelo con las fuentes de alimentación.

Además debemos preparar el circuito para unas condiciones no ideales, como las interferencias electromagnéticas EMI y los elementos parásitos. En el proceso de diseño analógico, hay que considerar cuidadosamente las características de alta frecuencia de los componentes pasivos, los cuales tienen limitados rangos de frecuencia.

Hay que tener en cuenta que el modelo de la espira que desarrollamos en el capítulo 2 se sustituirá en el diseño práctico por la espira impresa real, descrita en 2.1 y 2.2.

Vamos a describir las características y los cambios del diseño real de uno de los circuitos, el amplificador-integrador monoetapa. Esto se debe a que no cambia nada el diseño de un circuito respecto al otro, salvo que el circuito bi-etapa tiene una etapa amplificadora muy similar. Pero a efectos de diseño de placas de circuito impreso, con uno de los circuitos nos basta para explicar los cambios realizados.

Como ya hemos dicho, el diseño jerárquico de los circuitos completos reales, con los que vamos a hacer los dos prototipos, están recogidos en la sección de planos, con todas sus etapas incluidas.

Estos circuitos que hemos mencionado son los utilizados para generar la *Netlist*, archivo que contiene toda la información necesaria para generar la PCB.

PROTOTIPO 1

El esquemático del circuito se ha diseñado jerárquicamente, una presentación más formal y que ayuda a la hora de realizar la placa para tener todas las etapas diferenciadas, subdividido en tres bloques funcionales, a saber, la parte de alimentación, el sensor de las DP's y el integrador-amplificador. El diseño se muestra en la figura 3.18:

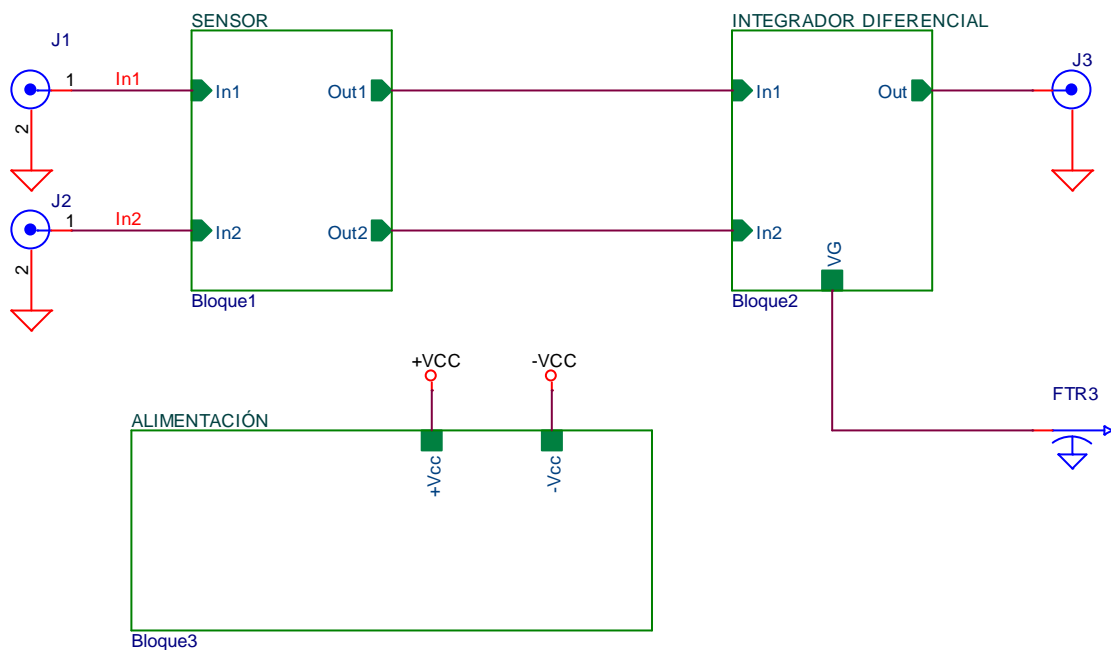


Figura 3.18.: Diseño jerárquico del Amplificador-Integrador Monoetapa. Prototipo 1

➤ Los conectores J1, J2 y J3 son conectores SMA. El conector SMA es un tipo de conector para uso con cable coaxial, utilizado en aplicaciones de RF que precisan de un conector rápido, de impedancia constante a lo largo de un amplio espectro de frecuencias.

➤ Los conectores FTR1, FTR2 y FTR3 es un conector feedthrough (pasamuros), a través de los cuales conectamos las alimentaciones del circuito. Estos conectores, además tienen la función de aislar de posibles interferencias de RF el circuito, ya que introducen una capacidad de desacoplo desde la entrada de cada alimentación a tierra a través de la caja de aluminio de apantallamiento, donde irá instalado nuestro circuito.

Descendiendo en la jerarquía del circuito, nos encontramos el bloque 3 (alimentación) y el bloque 2 (amplificador-integrador). El bloque 1 es el sensor, basado simplemente en el símbolo de la espira, con su huella asociada.

El bloque 3 de alimentación, figura 3.19, tiene dos condensadores de desacoplo electrolíticos, condensadores que tienen una capacidad alta e impiden el paso de de señales de alta frecuencia.

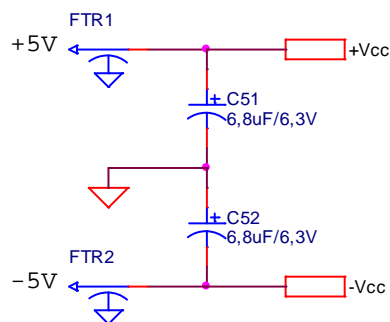


Figura 3.19: Bloque de Alimentación de la PCB

El bloque 2, figura 3.20 contiene el amplificador-integrador diferencial. En el observamos bobinas de Choke (L1, L2 y L3) y condensadores de desacoplo (C26, C27, C28, C29, C1 y C30). La función de este tipo de componentes lo explicaremos en el siguiente apartado, en técnicas de diseño.

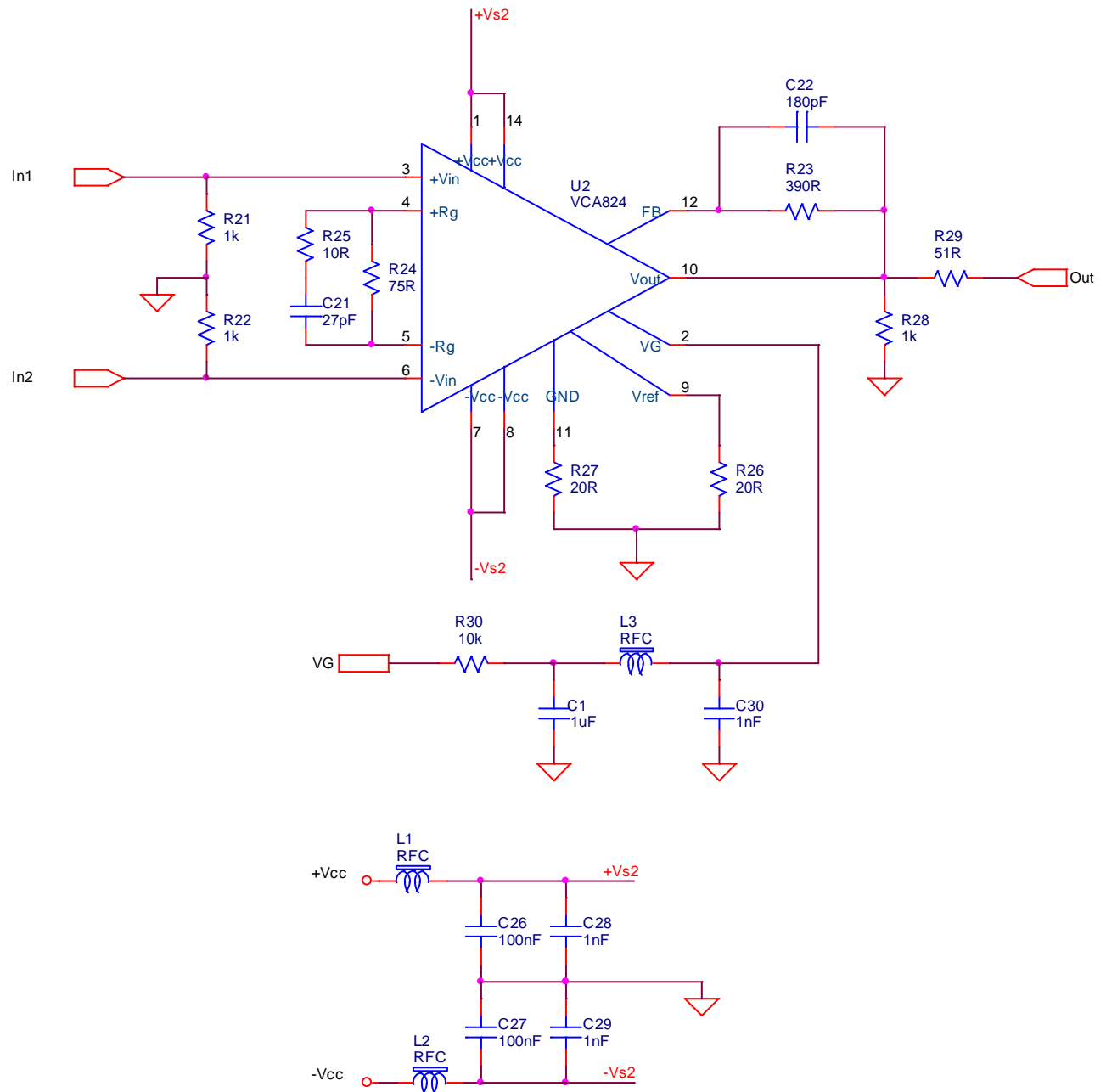


Figura 3.20: Bloque del Amplificador-Integrador de la PCB

PROTOTIPO 2

El esquemático de este circuito, diseñado igualmente de forma jerárquica, no contiene elementos distintos a los explicados hasta ahora. Consta de una etapa más, la etapa del amplificador diferencial además del integrador diferencial. En la figura 3.21 se muestra el esquemático del diseño por bloques, el cual está recogido completamente en la sección de planos.

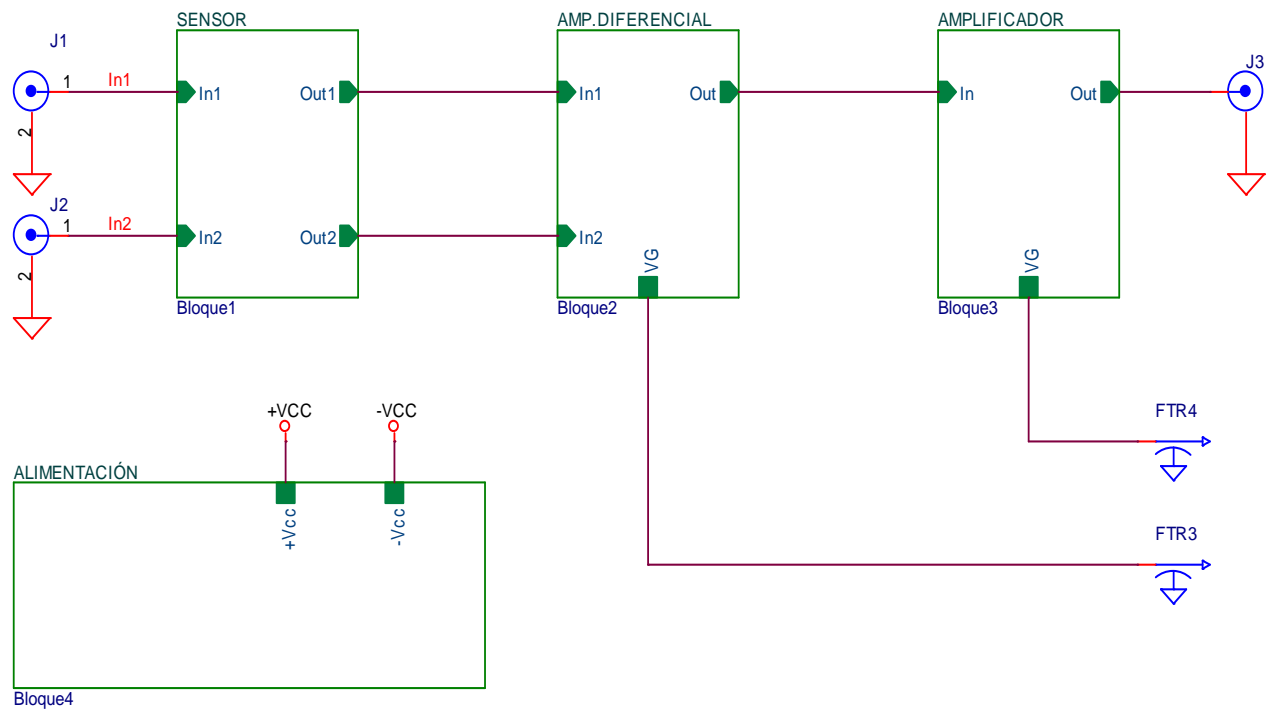


Figura 3.21: Diseño jerárquico del Amplificador-Integrador Bietapa. Prototipo 2

3.4.2 Consideraciones en el Diseño de Placas de Circuito impreso

Para la creación de una placa, es conveniente utilizar planos de masa y alimentación uniformes para que, en los pines de alimentación de los componentes las tensiones sean estables y libres de interferencias. Si no se pueden establecer estos planos, el rutado de la placa debe ser en estrella. En nuestro caso, disponemos solo de dos capas, por lo que tendremos que formar planos para la masa y rutar en estrella, con pistas de mínima impedancia, las alimentaciones. Tendremos conductores en las dos caras de la placa.

Es importante que los planos de alimentación queden cerrados por los planos de masa de modo que reduzcamos la radiación producida. También es válido con las líneas de conexión. Esto es útil en transmisiones de alta velocidad en las que las líneas van muy cerca unas de otras. Si el ancho entre el plano de masa y las líneas es grande en

comparación con el ancho de la línea, es importante poner tierra entre unas líneas y otras para mejorar el blindaje. La línea tendrá masa por ambos lados.

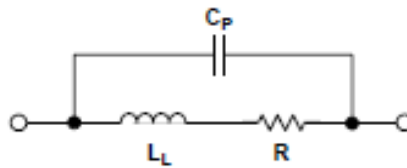
Como hemos mencionado anteriormente existen algunas fuentes de problemas que pueden estropear un buen diseño teórico:

- EMI (Interferencias Electromagnéticas): proceso por el cual las señales electromagnéticas se transmiten de un dispositivo electrónico (interferente) a otro (interferido) mediante caminos radiados o conducidos.
- Elementos parásitos: Las pistas y vías no son conductores ideales, presentan resistencia e inductancia. Entre pistas y/o planos adyacentes, se forman capacidades parásitas e inductancias mutuas.

Efectos no deseables de los elementos parásitos:

- *Parásitos en las resistencias::*

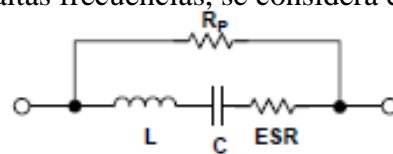
Una resistencia real siempre presenta una inductancia parásita en serie a altas frecuencias. Las metalizaciones de los extremos de las resistencias son conductores paralelos, y habrá también una capacidad asociada. Para las resistencias muy altas, la capacidad aparecerá en paralelo con la resistencia, reduciendo su impedancia a altas frecuencias. Se considera el siguiente circuito equivalente:



- *Parásitos en los condensadores:* La reactancia de un condensador ideal se define

así:
$$X_C = \frac{1}{2\pi f C}$$

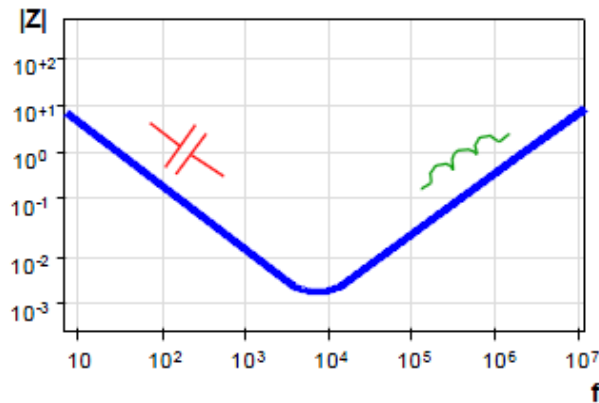
Para un condensador real, trabajando a altas frecuencias, se considera el circuito equivalente:



Despreciando la resistencia paralelo, R_p , la impedancia de un condensador real en altas frecuencias queda:

$$Z = E_{ESR} + j\omega L - \frac{j}{\omega C}$$

Se distinguen tres zonas de comportamiento:



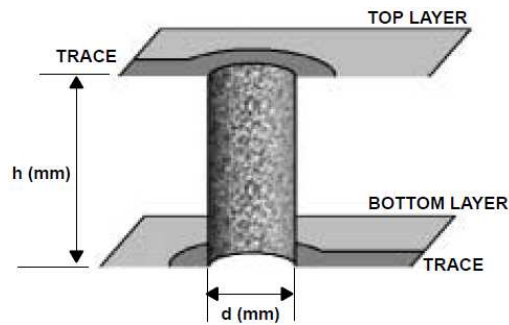
- A frecuencias bajas el comportamiento es esencialmente capacitivo (el ideal).
- A frecuencias altas el comportamiento es esencialmente inductivo
- A frecuencias próximas a la de resonancia, la impedancia es R_{ESR}

3.4.3 Técnicas de Diseño de Placas de Circuito impreso

Inductancia en Vías

La vía (cambio de cara) es el pequeño orificio metalizado (cobre estañado) que establece un punto de conexión eléctrica entre las pistas y/o planos de dos o más capas, en nuestro caso la capa TOP y la capa BOTTOM. En ellas se forma una inductancia parásita. En un diámetro determinado (d) la inductancia aproximada (L) de una vía a una altura de (h) se puede calcular de la siguiente manera:

$$L \approx \frac{h}{5} \times \left(1 + \ln \left(\frac{4h}{d} \right) \right) nH$$



Tenemos que tener en cuenta que las inductancias de las vías combinadas con capacidades parásitas pueden formar circuitos resonantes. La autoinducción de una vía es lo suficientemente pequeña para que resuenen en el rango de GHz, pero las inductancias actúan en serie, reduciendo la frecuencia de resonancia. No debemos colocar varias vías en serie en una pista de señal de un circuito de alta velocidad analógica, así que nuestro diseño se debe hacer de tal forma que el mayor número de líneas de señal sean rutadas en la capa superior de la PCB sin saltos de cara mediante vías.

Bobinas de Choke

Una bobina de choke es un inductor diseñado para tener una reactancia muy grande a una frecuencia o rango de frecuencias determinadas. Una bobina de choke se usa para impedir el paso de una parte de un circuito a otra de la corriente alterna, al mismo tiempo que se deja pasar la corriente continua, impidiendo la propagación de ruidos e interferencias por las líneas de alimentación DC.

Condensadores

Otra medida aplicable en la creación de placas es el uso de condensadores de desacoplo o “bypass”. Los *condensadores de desacoplo* se encargan de eliminar la energía de radiofrecuencia generada en los planos de alimentación por los componentes de alta frecuencia, y proporcionan una fuente DC localizada para componentes, a la vez que reducen los picos de corriente propagados a través de la placa cuando un componente presenta un pico de consumo.

Los condensadores pequeños suelen ser usados para eliminación de los parásitos de alta frecuencia, mientras que los condensadores más grandes estabilizan variaciones de tensión a baja frecuencia.

Como ya se ha comentado, cada condensador tiene una inductancia serie asociada a su capacidad, además de tener en cuenta que el condensador es capacitivo hasta su frecuencia de autoresonancia, por encima de la cual el condensador se vuelve más inductivo, lo cual elimina el desacoplo en RF. Si ponemos muchos condensadores en paralelo la inductancia total disminuirá mientras que la capacidad total aumenta.

Cuando usamos condensadores de desacoplo o Bypass debemos tener en cuenta que el ruido irá a tierra, por tanto es deseable poner estos condensadores lo más cerca posible de los pines de alimentación del integrado, con una conexión a tierra de mínima inductancia (lo ideal es una o varias vías e paralelo directamente del pin del condensador al plano de masa).

También tenemos que tener en cuenta que los condensadores tienen diferentes dieléctricos, con diferentes rangos de frecuencias de trabajo, como se recoge en la siguiente tabla:

TYPE	MAX FREQUENCY
Aluminum Electrolytic	100 kHz
Tantalum Electrolytic	1 MHz
Mica	500 MHz
Ceramic	1 GHz

Los condensadores cerámicos tienen mejores características a alta frecuencia y funcionan en una amplia gama de frecuencias. Los condensadores electrolíticos (alta capacidad) pueden complementar a los cerámicos, ya que ofrecen poca impedancia a frecuencias bajas. En la figura 3.22 puede verse cómo la frecuencia de autoresonancia de un condensador cerámico es muy superior a la de uno electrolítico, que a su vez presenta una menor impedancia a las frecuencias bajas. Nosotros usaremos cerámicos en paralelo con condensadores electrolíticos de Tántalo.

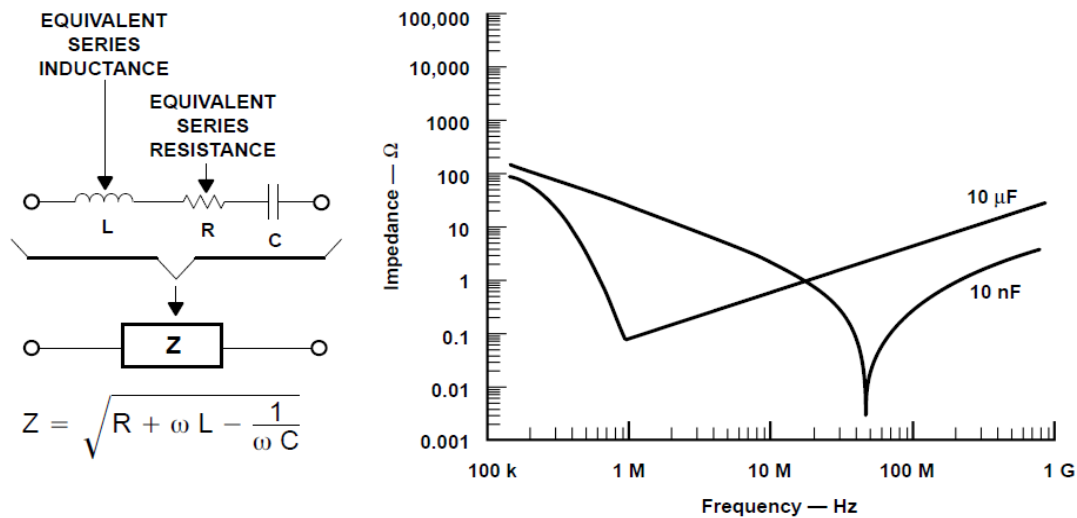


Figura 3.22: Respuesta en frecuencia de la impedancia de un condensador

Tendremos que utilizar varios tipos de condensadores: electrolíticos para frecuencias más bajas y cerámicos para frecuencias más altas:

Plano de masa

El plano de masa es el camino de retorno para todas las señales del circuito, incluyendo la distribución de energía. Puede ser concebido como homogéneo sólo para continua, para el resto de casos, el plano nunca será homogéneo. Esto a efectos prácticos significa que todas las tierras no son iguales.

Si coexisten varios circuitos que usan el plano de masa para señales, alimentación, corrientes conducidas e inducidas, causan corrientes a través del plano de tierra; todo esto afectará a todos los circuitos entre sí pudiendo dar lugar a problemas.

Debemos crear los planos de masa lo más homogéneos que nos sea posible, realizando vías cuando sea necesario y provocar un camino de retorno de las corrientes rápido y directo. Es conveniente mantener el retorno de los circuitos digitales y analógicos lo más separados que nos sea posible, aunque no es nuestro caso, dado que nuestro circuito es solamente analógico.

Las partes de alimentación del circuito deben estar alejadas de partes sensibles del circuito así como su regreso a tierra. En placas multicapa, podemos separar en distintas capas las alimentaciones y tierras para circuitos digitales y analógicos.

Líneas de transmisión

Las líneas de transmisión deben ser tan cortas como sea posible. Las conexiones de radiofrecuencia cerca de partes digitales, deben ser evitadas.

Para evitar reflexiones de señal hay que tratar de evitar picos en el rutado, intentando rutar las líneas con ángulos de 45° antes que dejar ángulos rectos. En caso no disponer de planos de alimentación y masa, debe utilizarse el rutado en estrella.

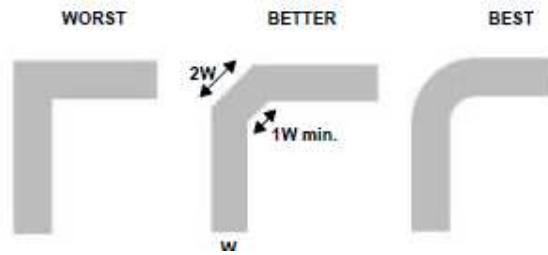


Figura 3.23: Rutado de líneas

Capacidad entre pistas

Las pistas de una PCB tienen un grosor, y cuando dos pistas pasan superpuestas por dos caras distintas se acoplan capacidades e inductancias entre ellas.

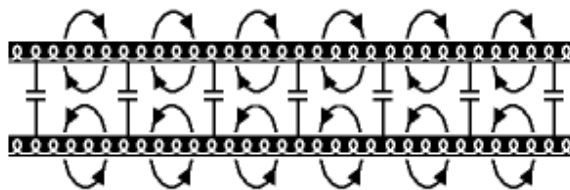


Figura 3.24: Acoplamiento entre pistas

3.4.5 Diseño de la PCB de los prototipos.

A partir de los esquemáticos de los prototipos, generamos la Netlist para diseñar la placa de circuito impreso. Los componentes de los circuitos llevan sus huellas asociadas.

El tipo de encapsulados que vamos a utilizar será de montaje superficial, SMD. El integrado VCA864 tiene un encapsulado SOIC de 14 pines, y el resto de componentes tendrán encapsulados SM/0805 y SM/0603, con la idea de minimizar la longitud eléctrica (inductancia) de las pistas de señal, colocando los componentes muy próximos a dónde deben conectarse.

El plano de masa está situado en la capa BOTTOM, que se comunica con la capa TOP mediante vías.

❖ *Diseño de la PCB del Circuito Amplificador-Integrador Monoetapa. Prototipo 1*

Así queda la placa del circuito del prototipo 1 diseñado después de realizar un proceso de emplazamiento de los componentes y de rutado de sus conexiones, la PCB del circuito se muestra en la figura 3.25:

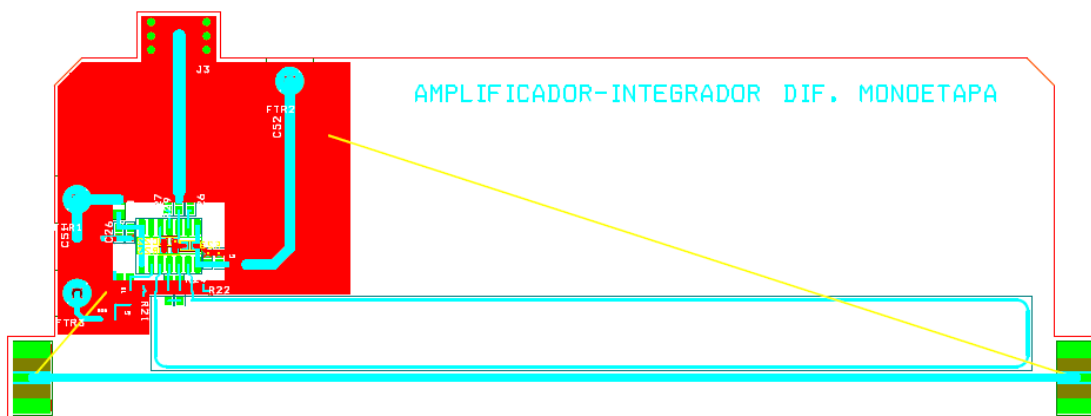


Figura 3.25: PCB Circuito Amplificador-Integrador Monoetapa prototipo 1

❖ *Diseño de la PCB del Circuito Amplificador-Integrador Bietapa. Prototipo 2*

Esta es la otra placa, la PCB del circuito del prototipo 2 diseñado después de realizar un proceso de emplazamiento de los componentes y de rutado de sus conexiones, la PCB del circuito se muestra en la figura 3.26:

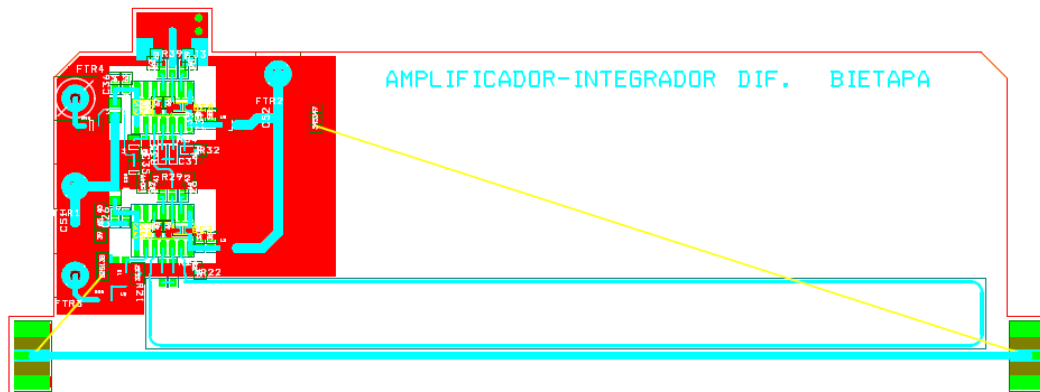


Figura 3.26: PCB Circuito Amplificador-Integrador Monoetapa prototipo 1

❖ *Fotolitos del prototipo 1*

Capa Top

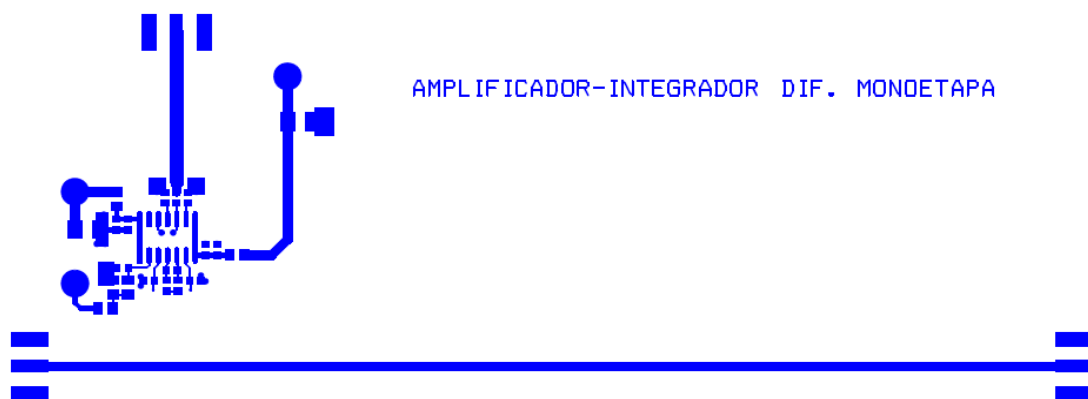


Figura 3.27: Fotolito de la capa Top. Prototipo 1

Capa Bottom

Figura 3.28: Fotolito de la capa Bottom. Prototipo 1

❖ Fotolitos del prototipo 2**Capa Top**

Figura 3.29: Fotolito de la capa Top. Prototipo 2

Capa Bottom



Figura 3.30: Fotolito de la capa Bottom. Prototipo 2

Es importante señalar que, en ambos prototipos, se ha eliminado el plano de masa por debajo de los integrados VCA824. Esta interrupción, en aparente contradicción con la máxima continuidad del plano de masa preconizada al hablar de las técnicas de diseño de PCBs, se ha introducido en seguimiento de las indicaciones de la hoja de datos del VCA824. Ésta es una técnica habitual en la utilización de circuitos amplificadores de alta frecuencia, cuya finalidad es reducir al máximo la capacidad parásita entre los pines del integrado y el plano de tierra, que podría degradar la respuesta en frecuencia del circuito, o incluso hacerlo inestable.



Capítulo 4:

Resultados Experimentales

4.1 MONTAJE EXPERIMENTAL PARA REALIZAR MEDIDAS.

Una vez fabricadas las PCB de los circuitos que hemos simulado en el capítulo de diseño del circuito, se han medido experimentalmente para verificar si los resultados obtenidos en las simulaciones tienen relación con la realidad, o por lo menos analizar en qué grado se cumplen los objetivos. Se ha procedido a medir tres circuitos:

- 1. Amplificador monoetapa
- 2. Integrador Monoetapa
- 3. Amplificador-Integrador Bietapa

Para llevar a cabo las medidas se ha realizado el montaje de la figura 4.1, que ha sido el mismo para medir los tres circuitos. El montaje consta de:

- Generador de radiofrecuencia WAVETEK 3000: proporciona la señal de excitación del sensor, se conecta a un extremo del conductor por el que pasa la corriente a medir.
- Una resistencia de terminación de 50 ohm (ver $R_{terminal}$ en la figura 4.1) en el otro terminal del conductor por el que pasa la corriente a medir. De este modo, se crea una corriente de entrada al sensor inductivo que simula la descarga parcial a medir. El valor de esta corriente de excitación puede obtenerse directamente a partir de la tensión en la resistencia de terminación.
- Un voltímetro vectorial HP8405A con sondas sondas HP10261A. La sonda conectada al canal de referencia del voltímetro vectorial se conecta a $R_{terminal}$, obteniendo la medida de la corriente que entra al sensor inductivo. La otra sonda mide la señal de tensión a la salida de nuestro circuito de acondicionamiento. De esta forma podremos medir, en módulo y fase y para diferentes frecuencias, la relación entre la tensión de salida del circuito de acondicionamiento y la corriente de entrada al sensor inductivo.
- Aunque sólo se utiliza a efectos de verificación se conectó un osciloscopio Textronix 485 a la salida del circuito de acondicionamiento, para verificar que la salida del circuito nunca se saturase.

Una vez realizado el montaje, se procedió a tomar medidas a los distintos circuitos para analizar su respuesta en frecuencia, cuyos resultados se describen en los siguientes apartados.

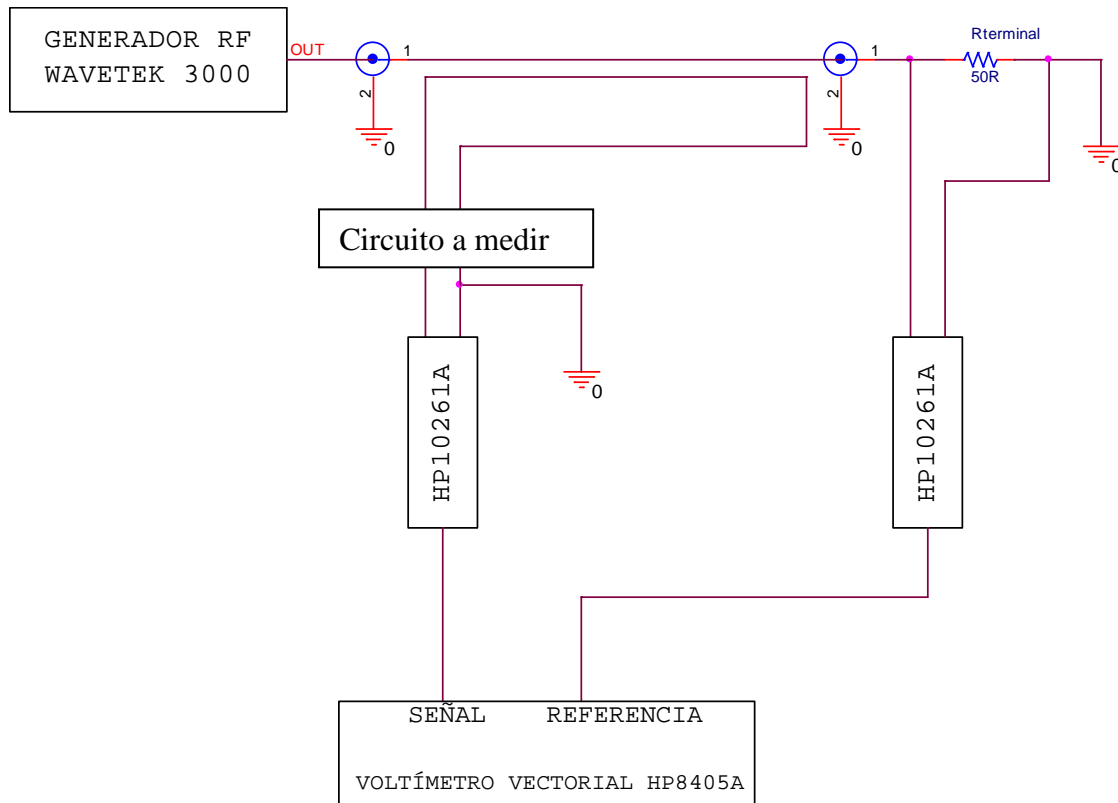


Figura 4.1: Montaje experimental para realizar medidas

4.2 MEDIDAS CON EL AMPLIFICADOR MONOETAPA.

El circuito amplificador monoetapa, estaba configurado con el amplificador diferencial VCA824. El circuito que simulamos está en la figura 3.12, parte A del apartado 3.1.3, con los resultados de la simulación representados en la figura 3.13. Este circuito nos servirá para comparar los resultados de este primer experimento.



Los resultados experimentales están recogidos en las tablas 4.1 y 4.2, para dos valores distintos del condensador C2 (0pF y 10pF respectivamente). Recordemos que C2 era el condensador de la red de ecualización de fase.

V_{ref} es la tensión de referencia en mV eficaces en la resistencia de la espira $R_{terminal}$, I_i es la corriente que pasa por la espira en mA eficaces ($I_i = V_{ref}/50$), V_{out1} es la tensión de salida de nuestro circuito que queremos medir, también en mV eficaces.

frecuencia (MHz)	Cc=0pF				
	Vref (mVef)	Ii (mAef)	Vout1 (mVef)	Vout1/Ii (V/A)	Fase (°)
1	200	4	4,1	2,05	90
2	200	4	8,1	4,05	90
3	200	4	12,5	6,25	90
4	200	4	16,5	8,25	90
5	200	4	20,5	10,25	90
6	200	4	24,5	12,25	90
7	200	4	28,5	14,25	90
8	200	4	33	16,5	90
9	200	4	37	18,5	90
10	200	4	41	20,5	86
20	200	4	80	40	83
30	200	4	120	60	80
40	200	4	160	80	75
50	200	4	195	97,5	72,5
60	200	4	235	117,5	70
70	200	4	270	135	66
80	200	4	310	155	65
90	200	4	360	180	61
100	200	4	410	205	59
120	50	1	125	250	50
140	50	1	145	290	46
160	50	1	180	360	40
180	50	1	215	430	32
200	50	1	270	540	20
220	50	1	300	600	5
230	50	1	310	620	0
240	50	1	330	660	-5
250	50	1	390	780	-23
300	50	1	480	960	-65
350	50	1	290	580	-140

Tabla 4.1: Resultados Experimentales Amplificador Monoetapa, $C1=0pF$

frecuencia (MHz)	Cc=10pF				
	Vref (mVef)	Ii (mAef)	Vout1 (mVef)	Vout1/Ii (V/A)	Fase (°)
1	200	4	4	2	90
2	200	4	8	4	90
3	200	4	11	5,5	90
4	200	4	15	7,5	90
5	200	4	19	9,5	90
6	200	4	22,5	11,25	90
7	200	4	26,5	13,25	90
8	200	4	35	17,5	90
9	200	4	39,5	19,75	90
10	200	4	44	22	90
20	200	4	88	44	90
30	200	4	135	67,5	90
40	200	4	185	92,5	89
50	200	4	235	117,5	88
60	200	4	290	145	87
70	200	4	350	175	86
80	50	1	105	210	85
90	50	1	125	250	84
100	50	1	145	290	82
120	50	1	190	380	75
140	50	1	250	500	70
160	50	1	320	640	61
180	50	1	390	780	51
200	50	1	510	1020	37
220	50	1	600	1200	10
230	50	1	640	1280	-2
240	50	1	670	1340	-16
250	50	1	710	1420	-35
300	50	1	700	1400	-130
350	50	1	590	1180	-240

Tabla 4.2: Resultados Experimentales Amplificador Monoetapa, $C_2=10\text{pF}$

La representación gráfica de los resultados se muestra en la figura 4.2, en la que se representa la ganancia del circuito en módulo (azul oscuro) y fase (rosa) para $C_1=0\text{pF}$ y para $C_c=10\text{pF}$ (azul claro para el módulo y amarillo para la fase). Comparando con la figura 3.13 de la simulación, vemos como la forma de las curvas obtenidas es parecida a lo esperado, confirmándose experimentalmente que para más valor de C_2 , mejor respuesta de fase pero también aumenta la pendiente del módulo. De todas formas, la

respuesta experimental del módulo a la frecuencia de resonancia en mucho más suave, no hay una pendiente tan marcada de la amplitud.

La *fase* mejora bastante respecto a lo predicho en la simulación ya que comienza a bajar a frecuencia mucho más altas que en ésta. A 100MHz la fase todavía no ha bajado de 45° para ambas capacidades, y llega a 0° a una frecuencia que supera los 200MHz.

El *módulo* tiene una pendiente más suave que la simulación, sin apreciarse tanto la subida de amplitud en la resonancia, y mucho menos para $C2=0$. La sensibilidad del circuito es en general mucho más baja que lo obtenido en las simulaciones. En la zona en que el módulo de la sensibilidad sube linealmente a 20dB/dec, esta diferencia es de unas 30 veces.

Tras comprobar por separado que el circuito amplificador funcionaba correctamente, con su ganancia teórica de 10V/V, tenemos que concluir que nuestro modelo circuital de la espira (probablemente el modelo del acoplamiento magnético) no es exacto, sobreestimando la sensibilidad obtenida en un factor de 30.

Otra desviación, aunque de menor importancia, entre los resultados simulados y los experimentales, es que la frecuencia de autoresonancia se ha elevado a 300MHz, lo que apunta a que la capacidad parásita real de la espira es muy inferior a la manejada por nuestro modelo.

Posibles factores en la explicación de estas diferencias, son que las medidas sobre la espira real (ver capítulo 2) se hicieron en configuración single-ended, con un terminal puesto a tierra y con la caja de apantallamiento montada, mientras que en nuestras medidas la espira está conectada en modo diferencial y además montada sobre un bastidor de chapa temporal, por no estar la caja de apantallamiento disponible (pueden verse fotos del montaje experimental en el anexo).

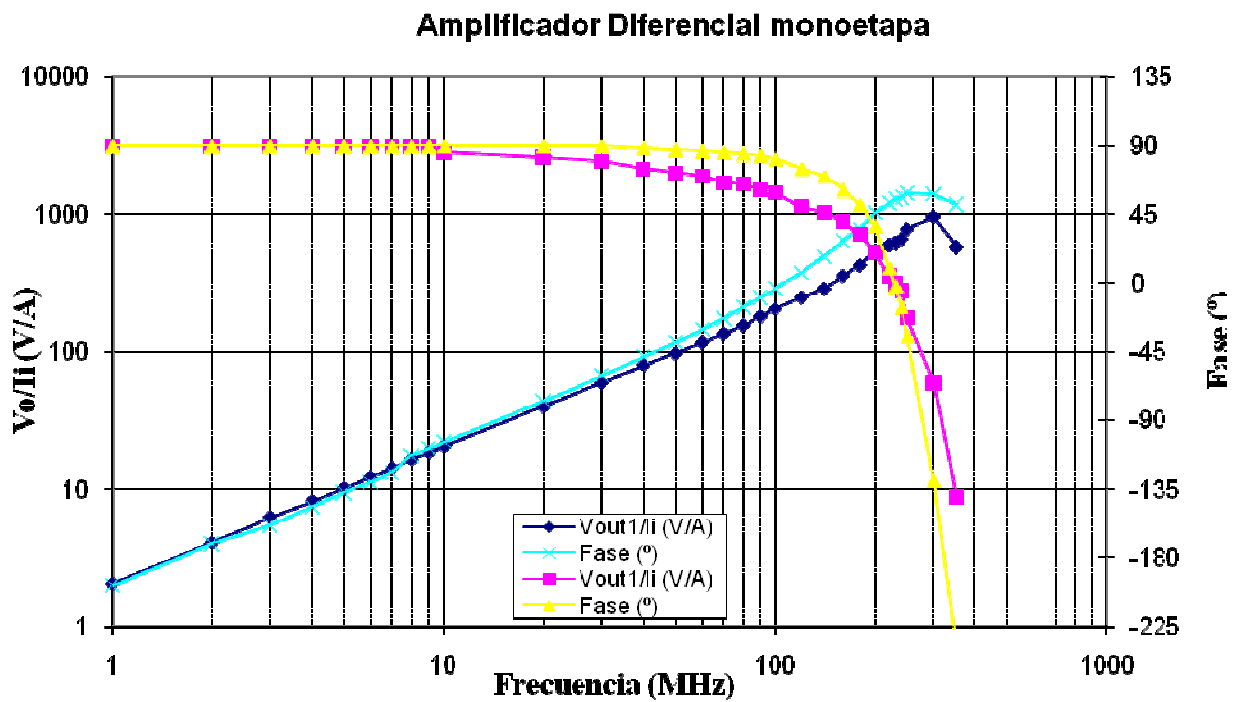


Figura 4.2: Respuesta Experimental del Amplificador Monoetapa, $C_c=0\text{pF}$, $C_c=10\text{pF}$

4.3 MEDIDAS CON EL INTEGRADOR MONOETAPA.

El circuito integrador monoetapa estaba configurado con el amplificador diferencial VCA824. El circuito que simulamos está en la figura 3.14, parte B del apartado 3.1.3, con los resultados de la simulación representados en la figura 3.15.

No se ha podido verificar el comportamiento de este circuito debido a que el circuito era inestable y autoscilaba furiosamente a una frecuencia de unos 500MHz (lo que se pudo comprobar gracias al osciloscopio conectado a su salida).

Quizá la razón de esta oscilación es que el integrado no estuviese preparado para tener un condensador en paralelo con la resistencia de realimentación, RF1. El esquema adoptado en el diseño teórico es el utilizado habitualmente en integradores de alta frecuencia con amplificadores operacionales, pero el VCA 824 es bastante más complejo. Dado que el fabricante no ha publicado ninguna aplicación que incluya esta capacidad, no es sorprendente que el modelo de SPICE suministrado por él no incluya su posible efecto, motivo por el que nuestras simulaciones no han sido capaces de advertirnos del problema de estabilidad en el diseño.

Para resolver el problema, modificamos el diseño del integrador, sustituyendo el condensador en paralelo con RF1 por una red pasiva RC colocada a la salida del VCA824 (ver Ri y Ci en la figura 4.3). El polo a $1/2\pi R_i C_i$ se ha mantenido en una frecuencia de aproximadamente 100kHz para mantener un comportamiento de integrador ideal a frecuencias superiores a 1MHz.

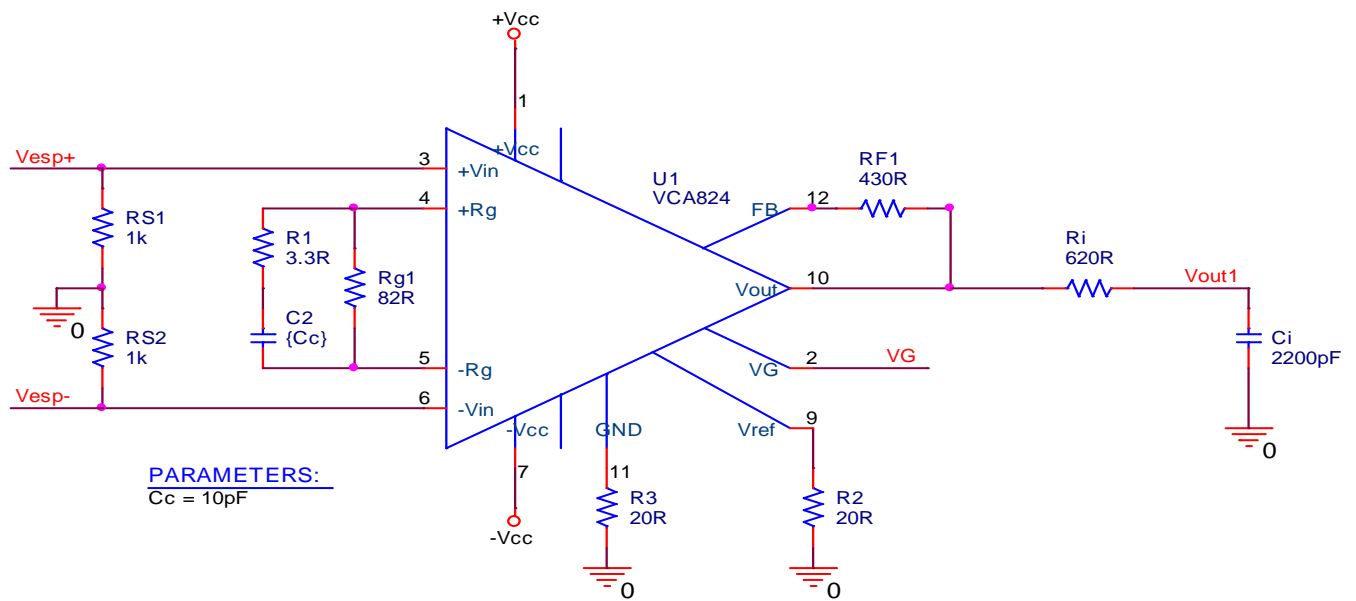


Figura 4.3: Circuito Espira con Integrador VCA824 monoetapa, versión experimental

Por lo menos las simulaciones son satisfactorias. En la figura 4.4 se representa la respuesta en frecuencia de este circuito, que es similar a la respuesta del circuito de la figura 3.15. La simulación es paramétrica, es decir, se realiza también para los tres valores del parámetro de C2 ($C_c=0\text{pF}$ verde, $C_c=10\text{pF}$ rojo y $C_c=22\text{pF}$ azul).

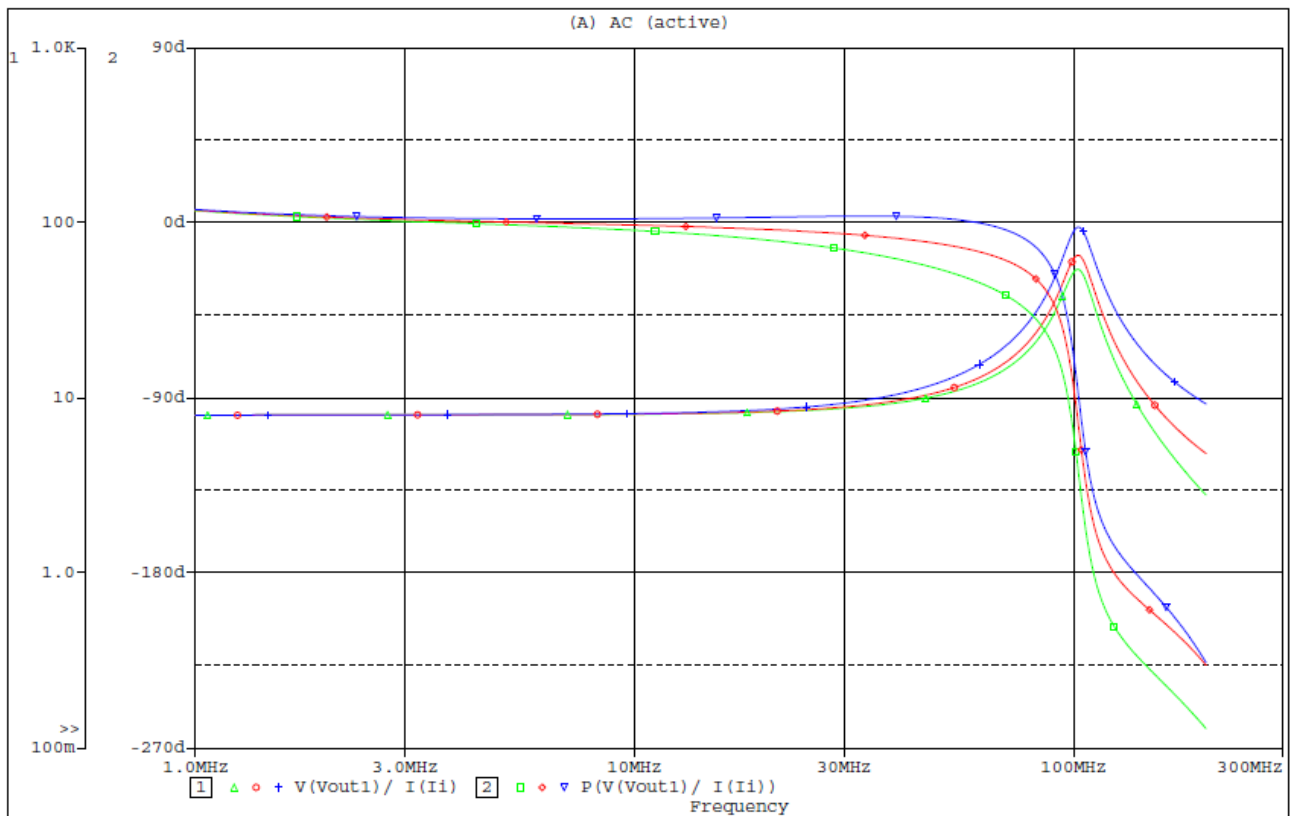


Figura 4.4: Respuesta paramétrica en frecuencia de la espira con el integrador VCA824 modificado

MEDIDAS CON EL AMPLIFICADOR-INTEGRADOR BIETAPA.

El circuito amplificador-integrador bietapa estaba configurado con dos amplificadores diferenciales VCA824. El circuito que simulamos está en la figura 3.16, parte C del apartado 3.1.3, con los resultados de la simulación representados en la figura 3.17. A la vista de los resultados del circuito anterior, hemos modificado la etapa integradora del esquema de la figura 3.16 de acuerdo a lo indicado en el esquema de la figura 4.3.

Los resultados experimentales están recogidos en las tablas 4.3 y 4.4, para los distintos valores de los condensadores C2 y C12. Recordemos que C2 era el condensador de la red de ecualización de fase del integrador (etapa1), y C12 del amplificador (etapa2).

frecuencia (MHz)	C2=C12=0pF				
	Vref (mVef)	Ii (mAef)	Vout1 (mVef)	Vout1/Ii (V/A)	Fase (°)
1	200	4	6,35	3,175	5,5
2	200	4	6,35	3,175	1,5
3	200	4	6,35	3,175	0
4	200	4	6,35	3,175	-1,5
5	200	4	6,35	3,175	-2,5
6	200	4	6,35	3,175	-3,5
7	200	4	6,35	3,175	-4,5
8	200	4	6,35	3,175	-5,5
9	200	4	6,35	3,175	-6,2
10	200	4	6,35	3,175	-7
20	200	4	6,3	3,15	-15,5
30	200	4	6,2	3,1	-24
40	200	4	5,9	2,95	-33
50	200	4	5,7	2,85	-40
60	200	4	5,4	2,7	-47
70	200	4	5,2	2,6	-54
80	200	4	5	2,5	-63
90	200	4	4,8	2,4	-70
100	200	4	4,7	2,35	-80
120	200	4	4,2	2,1	-118
140	200	4	3,8	1,9	-138
160	200	4	4,1	2,05	-195
180	200	4	5	2,5	-265
200	200	4	6,4	3,2	-330
250	100	2	7	7	
300	100	2	13	13	
350	100	2	14	14	
400	100	2	7,5	7,5	

Tabla 4.3: Resultados Experimentales Amplificador Bietapa, C2,C12=0pF



frecuencia (MHz)	C2=10pF; C12=33pF				
	Vref (mVef)	Ii (mAef)	Vout1 (mVef)	Vout1/Ii (V/A)	Fase (°)
1	200	4	6,25	3,125	6,5
2	200	4	6,3	3,15	4
3	200	4	6,3	3,15	3,5
4	200	4	6,3	3,15	3
5	200	4	6,35	3,175	3
6	200	4	6,35	3,175	3
7	200	4	6,4	3,2	3,5
8	200	4	6,4	3,2	3,7
9	200	4	6,4	3,2	4
10	200	4	6,5	3,25	4
20	200	4	6,85	3,425	5
30	200	4	7,2	3,6	6,2
40	200	4	7,6	3,8	5,8
50	200	4	8,2	4,1	5,2
60	200	4	8,8	4,4	3
70	50	1	2,4	4,8	0
80	50	1	2,6	5,2	-3,5
90	50	1	2,85	5,7	-10,5
100	50	1	2,95	5,9	-20
120	50	1	3,1	6,2	-45
140	50	1	2,95	5,9	-77
160	50	1	4,3	8,6	-140
180	50	1	8,5	17	-172
200	50	1	18	36	-230
250	30	0,6	45	150	-335
300	30	0,6	120	400	
350	30	0,6	12	40	
400					

Tabla 4.4: Resultados Experimentales Amplificador Bietapa, C2=10pF, C12=33pF

La representación gráfica de los resultados se muestra en la figura 4.5, en la que se representa la ganancia del circuito en módulo y fase para C2=C12=0pF (azul y rosa respectivamente) y para C2=10pF, C12=33 (módulo en azul claro y fase en amarillo). Comparando con la figura 3.15 de la simulación, vamos a describir lo obtenido.

Para C2,C12=0pF vemos como la respuesta es bastante peor a lo que habíamos conseguido hasta ahora. La respuesta en fase comienza a caer desde 0° en torno a 10

MHz llegando prácticamente a -90° a 100MHz. Todo esto coincide bastante bien con lo predicho por la simulación para $C_{12}=0\text{pF}$.

En cuanto al módulo de V_o/I_i , se aprecia la misma discrepancia que en el amplificador-integrador de una etapa (la sensibilidad del circuito real sigue siendo unas 30 veces inferior a lo predicho por la simulación), que ya atribuimos a un comportamiento erróneo de nuestro modelo de la espira.

La resonancia del circuito está en 200MHz, sin embargo en la simulación la resonancia estaba prácticamente en 100MHz, lo que apunta de nuevo a un valor incorrecto de la capacidad tomada en nuestro modelo de la espira.

El circuito sin corrección de fase se comporta como un mal integrador, tal como habíamos previsto en las simulaciones. Sin embargo, la ventaja de este integrado es la posibilidad de corregir su respuesta en fase con la red de ecualización. Precisamente eso es lo que hemos hecho. Tomando $C_2=10\text{pF}$ y para $C_{12}=33\text{pF}$ obtenemos una respuesta en fase notablemente mejorada (ver traza amarilla en la figura 4.5). El condensador de 33pF se ha tomado por no disponer del valor óptimo de 27pF previsto por la simulación.

La fase corregida es parecida a la obtenida en las simulaciones, manteniéndose en unos 0° hasta frecuencias próximas a los 100MHz. En. Al igual que ocurría en el amplificador monoetapa, la respuesta en fase del circuito real es notablemente mejor a la obtenida en la simulación (-20° a 100MHz en el circuito real frente a -60° en la simulación). Esto es debido a que la resonancia de la espira está a una frecuencia mayor, como se ha comentado más arriba.

El módulo tiene una forma de onda parecida a la simulación, con una acusada resonancia a unos 200MHz.

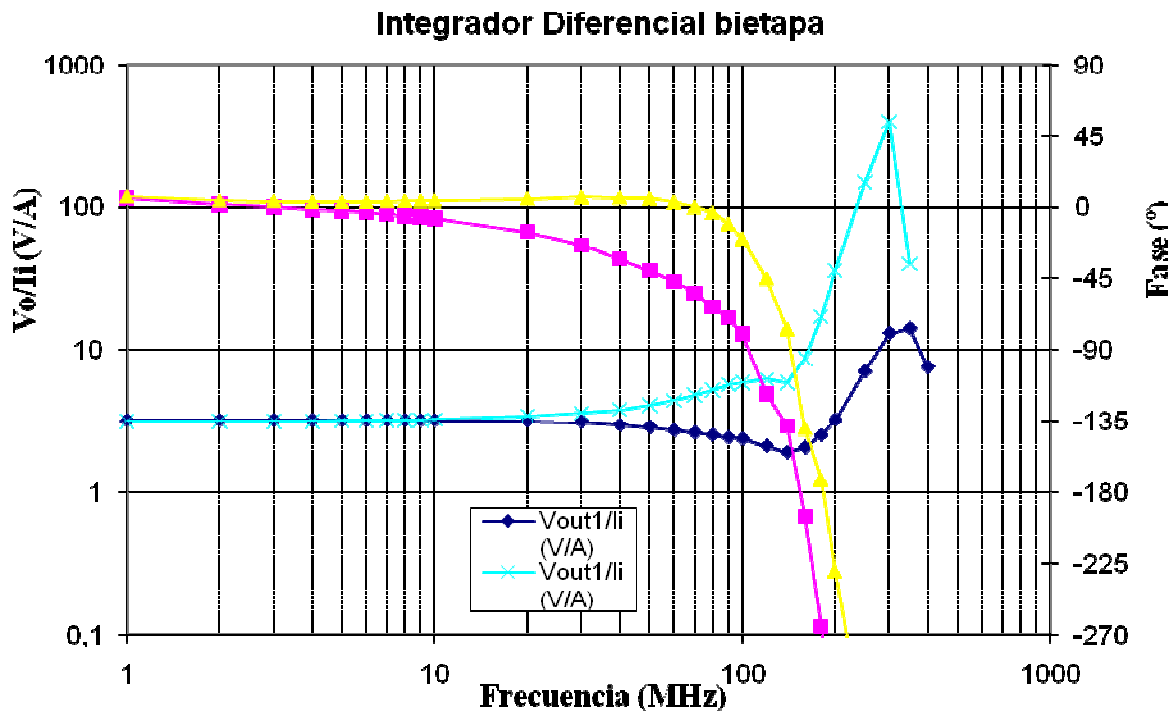


Figura 4.5: Respuesta Experimental del Amplificador Bietapa, en función de C2,C12

En general podemos concluir que el circuito Amplificador-Integrador diferencial con dos etapas, con una red para ecualizar la fase y mejorar la respuesta en frecuencia, funciona satisfactoriamente.

La fase responde bastante bien hasta una frecuencia algo menor de los 100MHz, y el módulo es constante a pesar de la gran pendiente que adquiere a frecuencias cercanas también a los 100MHz.

En resumen, hemos conseguido crear un circuito de acondicionamiento que en el intervalo de frecuencias de 1 a 100 MHz es capaz de dar una tensión de salida directamente proporcional a la corriente de la descarga parcial, conforme a los objetivos establecidos en el capítulo 2:

$$V_0(t) = cte \times i(t)$$



Capítulo 5:

Conclusiones

El objetivo del presente proyecto era diseñar un circuito amplificador-integrador diferencial, con un ancho de banda superior a los 100MHz, que acondicionase la señal obtenida a la salida de la espira que detecta las descargas parciales. Queremos conseguir una tensión proporcional a la corriente de las DPs y que, además, su fase se mantenga a 0°, debido a que estas corrientes tienen una forma de onda impulsional y en ese tipo de señales la distorsión de fase es particularmente importante. También hay que aumentar la sensibilidad de la espira (V/A), que es muy baja.

A la vista del capítulo de resultados (ver figura 4.5 y comentarios), podemos concluir que el objetivo mencionado se ha cumplido razonablemente, mejorando notablemente la respuesta del circuito integrador con amplificador operacional descrito en los antecedentes del proyecto. De hecho el prototipo desarrollado presenta mayor sensibilidad (6,3 V/A frente a 2 V/A) y una respuesta en fase mucho más plana y próxima a 0° (con una variación total de 26° en el intervalo de 1 a 100MHz para el circuito desarrollado, frente a más de 250° para el mismo intervalo de frecuencias para el integrador descrito en los antecedentes).

Además del buen funcionamiento del circuito final el trabajo desarrollado en este proyecto nos ha aportado otras ventajas importantes:

- Aparte del amplificador-integrador, se ha creado un circuito amplificador diferencial, que puede utilizarse en la caracterización experimental de otros sensores similares.
- El modelo de simulación permite ajustar los valores de las capacidades de ecualización para optimizar la respuesta en fase del circuito y los valores de las resistencias de realimentación para adecuar la ganancia del circuito a la sensibilidad del sensor.
- Una vez montado el circuito, la ganancia puede controlarse mediante una tensión lo que lo hace mucho más flexible y adaptable a la medida de diferentes valores de corriente.



También hay que señalar en este apartado de conclusiones que el modelo de SPICE creado para el sensor inductivo a partir de las medidas experimentales no funcionó adecuadamente en dos aspectos importantes:

- Principalmente, la sensibilidad real de la espira en nuestras medidas es 30 veces inferior a la indicada por el modelo.
- Además, la frecuencia de autoresonancia del sensor es algo mayor en las medidas reales que en el modelo.

De todos modos, este modelo no era más que una herramienta para el diseño de los circuitos de acondicionamiento y su mal funcionamiento no ha impedido que éstos funcionasen correctamente.

Por último, como trabajo futuro y aplicación de los resultados obtenidos, surgen dos líneas principales:

- Reevaluación y corrección del modelo de SPICE del sensor inductivo, para que las simulaciones del conjunto sensor-circuito de acondicionamiento sean capaces de predecir con exactitud la sensibilidad final del sistema.
- Evaluación del funcionamiento del circuito en la medida de corrientes de descargas parciales reales, comparando su respuesta con la de un sensor de referencia, para optimizar los valores de los componentes del circuito de acondicionamiento y obtener la máxima fidelidad en la medida de los pulsos de corriente.



Anexos

Catalogo Del Integrado VCA824



VCA824

www.ti.com

SBOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

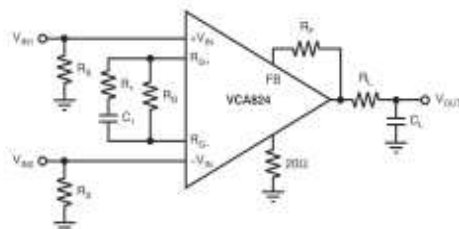
Ultra-Wideband, > 40dB Gain Adjust Range, Linear in V/V VARIABLE GAIN AMPLIFIER

FEATURES

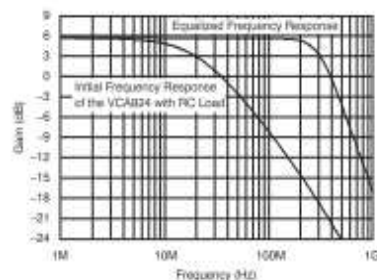
- 710MHz SMALL-SIGNAL BANDWIDTH ($G = +2V/V$)
- 320MHz, 4V_{PP} BANDWIDTH ($G = +10V/V$)
- 0.1dB GAIN FLATNESS to 135MHz
- 2500V/ μ s SLEW RATE
- > 40dB GAIN ADJUST RANGE
- HIGH GAIN ACCURACY: 20dB ± 0.3 dB
- HIGH OUTPUT CURRENT: ± 90 mA

APPLICATIONS

- DIFFERENTIAL LINE RECEIVERS
- DIFFERENTIAL EQUALIZERS
- PULSE AMPLITUDE COMPENSATION
- VARIABLE ATTENUATORS
- VOLTAGE-TUNABLE ACTIVE FILTERS



Differential Equalizer



Differential Equalization of an RC Load

DESCRIPTION

The VCA824 is a dc-coupled, wideband, linear in V/V, continuously variable, voltage-controlled gain amplifier. It provides a differential input to single-ended conversion with a high-impedance gain control input used to vary the gain down 40dB from the nominal maximum gain set by the gain resistor (R_G) and feedback resistor (R_F).

The VCA824 internal architecture consists of two input buffers and an output current feedback amplifier stage integrated with a multiplier core to provide a complete variable gain amplifier (VGA) system that does not require external buffering. The maximum gain is set externally with two resistors, providing flexibility in designs. The maximum gain is intended to be set between +2V/V and +40V/V. Operating from ± 5 V supplies, the gain control voltage for the VCA824 adjusts the gain linearly in V/V as the control voltage varies from +1V to -1V. For example, set for a maximum gain of +10V/V, the VCA824 provides 10V/V, at +1V input, to 0.1V/V at -1V input of gain control range. The VCA824 offers excellent gain linearity. For a 20dB maximum gain, and a gain-control input voltage varying between 0V and 1V, the gain does not deviate by more than ± 0.3 dB (maximum at +25°C).

VCA824 RELATED PRODUCTS

SINGLES	DUALS	GAIN ADJUST RANGE (dB)	INPUT NOISE (nV/ \sqrt Hz)	SIGNAL BANDWIDTH (MHz)
VCA810	—	80	2.4	35
—	VCA2612	45	1.25	80
—	VCA2613	45	1	80
—	VCA2615	52	0.8	50
—	VCA2617	48	4.1	50
VCA820	—	40	8.2	150
VCA821	—	40	6.0	420
VCA822	—	40	8.2	150
VCA824	—	40	6.0	420



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

X2Y is a registered trademark of X2Y Attenuators LLC.

All other trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2007–2008, Texas Instruments Incorporated

**VCA824**

SBOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

ORDERING INFORMATION⁽¹⁾

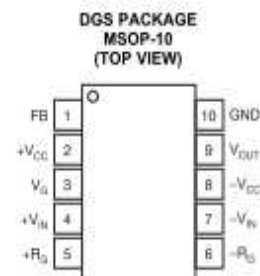
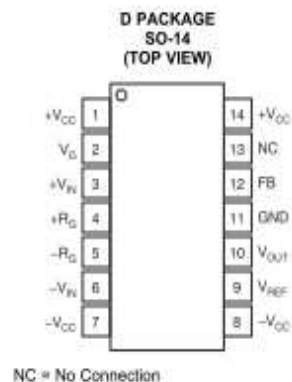
PRODUCT	PACKAGE-LEAD	PACKAGE DESIGNATOR	SPECIFIED TEMPERATURE RANGE	PACKAGE MARKING	ORDERING NUMBER	TRANSPORT MEDIA, QUANTITY
VCA824	SO-14	D	–40°C to +85°C	VCA824ID	VCA824ID	Reel, 50
					VCA824IDR	Tape and Reel, 2500
VCA824	MSOP-10	DGS	–40°C to +85°C	BOT	VCA824IDGST	Tape and Reel, 250
					VCA824IDGSR	Tape and Reel, 2500

(1) For the most current package and ordering information see the Package Option Addendum at the end of this document, or see the TI web site at www.ti.com.

ABSOLUTE MAXIMUM RATINGS

Over operating free-air temperature range (unless otherwise noted).

PARAMETER		VCA824	UNIT
Power Supply		±6.5	V
Internal Power Dissipation		See Thermal Characteristics	
Input Voltage Range		±V _S	V
Storage Temperature Range		–65 to +125	°C
Lead Temperature (soldering, 10s)		+260	°C
Junction Temperature (T _J)		+150	°C
Junction Temperature (T _J), Maximum Continuous Operation		+140	°C
ESD Rating	Human Body Model (HBM)	2000	V
	Charge Device Model (CDM)	1000	V
	Machine Model (MM)	200	V

PIN CONFIGURATION



VCA824

www.ti.com

SBOS394C – NOVEMBER 2007 – REVISED DECEMBER 2008

ELECTRICAL CHARACTERISTICS: $V_S = \pm 5V$ At $A_{VMAX} = +10V/V$, $V_G = +1V$, $R_F = 402\Omega$, $R_G = 80\Omega$, and $R_L = 100\Omega$, unless otherwise noted.

PARAMETER	CONDITIONS	VCA824				UNITS	MIN/MAX	TEST LEVEL ⁽¹⁾
		TYP	MIN/MAX OVER TEMPERATURE					
		+25°C	+25°C ⁽²⁾	0°C to 70°C ⁽²⁾	-40°C to +85°C ⁽²⁾			
AC PERFORMANCE								
Small-Signal Bandwidth	$A_{VMAX} = +2V/V$, $V_G = +1V$, $V_{IN} = 500mV_{PP}$	710				MHz	typ	C
	$A_{VMAX} = +10V/V$, $V_G = +1V$, $V_{IN} = 500mV_{PP}$	420				MHz	typ	C
	$A_{VMAX} = +40V/V$, $V_G = +1V$, $V_{IN} = 500mV_{PP}$	170				MHz	typ	C
Large-Signal Bandwidth	$A_{VMAX} = +10V/V$, $V_G = +1V$, $V_{IN} = 4V_{PP}$	320				MHz	typ	C
Gain Control Bandwidth	$V_G = 200mV_{PP}$	330	240	235	235	MHz	min	B
Bandwidth for 0.1dB Flatness	$A_{VMAX} = +10V/V$, $V_G = +1V$, $V_{IN} = 2V_{PP}$	135				MHz	typ	C
Slew Rate	$A_{VMAX} = +10V/V$, $V_G = +1V$, $V_{IN} = 4V$ Step	2500	1800	1700	1700	V/ μ s	min	B
Rise-and-Fall Time	$A_{VMAX} = +10V/V$, $V_G = +1V$, $V_{IN} = 4V$ Step	1.5	1.8	1.9	1.9	ns	max	B
Settling Time to 0.01%	$A_{VMAX} = +10V/V$, $V_G = +1V$, $V_{IN} = 4V$ Step	11				ns	typ	C
Harmonic Distortion								
2nd-Harmonic	$V_{IN} = 2V_{PP}$, $f = 20kHz$	-66	-64	-64	-64	dBc	min	B
3rd-Harmonic	$V_{IN} = 2V_{PP}$, $f = 20kHz$	-63	-61	-61	-61	dBc	min	B
Input Voltage Noise	$f > 100kHz$	5				nV/ \sqrt{Hz}	typ	C
Input Current Noise	$f > 100kHz$	2.6				pA/ \sqrt{Hz}	typ	C
GAIN CONTROL								
Gain Error	$A_{VMAX} = +10V/V$, $V_G = 1V$	± 0.1	± 0.4	± 0.5	± 0.6	dB	max	A
Gain Deviation	$A_{VMAX} = +10V/V$, $0 < V_G < 1$	± 0.05	± 0.3	± 0.34	± 0.37	dB	max	A
Gain Deviation	$A_{VMAX} = +10V/V$, $-0.6 < V_G < 1$	± 1.00	± 1.9	± 2.1	± 2.2	dB	max	A
Gain at $V_{IN} = -0.9V$	Relative to max gain	-26	-24	-24	-23	dB	max	A
Gain Control Bias Current		22	30	35	37	μ A	max	A
Average Gain Control Bias Current Drift				± 100	± 100	nA/ $^{\circ}$ C	max	B
Gain Control Input Impedance		1.5 \parallel 0.6				MD \parallel pF	typ	C
DC PERFORMANCE								
Input Offset Voltage	$A_{VMAX} = +10V/V$, $V_{CM} = 0V$, $V_G = 1V$	± 4	± 17	± 17.5	± 19	mV	max	A
Average Input Offset Voltage Drift	$A_{VMAX} = +10V/V$, $V_{CM} = 0V$, $V_G = 1V$			± 30	± 30	μ V/ $^{\circ}$ C	max	B
Input Bias Current	$A_{VMAX} = +10V/V$, $V_{CM} = 0V$, $V_G = 1V$	19	25	29	31	μ A	max	A
Average Input Bias Current Drift	$A_{VMAX} = +10V/V$, $V_{CM} = 0V$, $V_G = 1V$			± 60	± 60	nA/ $^{\circ}$ C	max	B
Input Offset Current	$A_{VMAX} = +10V/V$, $V_{CM} = 0V$, $V_G = 1V$	± 0.5	± 2.5	± 3.2	± 3.5	μ A	max	A
Average Input Offset Current Drift	$A_{VMAX} = +10V/V$, $V_{CM} = 0V$, $V_G = 1V$			± 16	± 16	nA/ $^{\circ}$ C	max	B
Max Current Through Gain Resistance		± 2.6	± 2.55	± 2.55	± 2.5	mA	max	B
INPUT								
Most Positive Common-Mode Input Voltage	$R_L = 100\Omega$	+1.6	+1.8	+1.6	+1.6	V	min	A
Most Negative Common-Mode Input Voltage	$R_L = 100\Omega$	-2.1	-2.1	-2.1	-2.1	V	max	A
Common-Mode Rejection Ratio	$V_{CM} = \pm 0.5V$	80	85	90	90	dB	min	A
Input Impedance								
Differential		1 \parallel 1				MD \parallel pF	typ	C
Common-Mode		1 \parallel 2				MD \parallel pF	typ	C

(1) Test levels: (A) 100% tested at +25°C. Over temperature limits set by characterization and simulation. (B) Limits set by characterization and simulation. (C) Typical value only for information.

(2) Junction temperature = ambient for +25°C tested specifications.

(3) Junction temperature = ambient at low temperature limit; junction temperature = ambient +23°C at high temperature limit for over temperature specifications.



VCA824



SBOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

ELECTRICAL CHARACTERISTICS: $V_S = \pm 5V$ (continued)At $A_{VMAX} = +10V/V$, $V_G = +1V$, $R_F = 402\Omega$, $R_G = 80\Omega$, and $R_L = 100\Omega$, unless otherwise noted.

PARAMETER	CONDITIONS	VCA824				UNITS	MIN/ MAX	TEST LEVEL ⁽¹⁾
		TYP	MIN/MAX OVER TEMPERATURE					
			+25°C	+25°C ⁽²⁾	0°C to 70°C ⁽³⁾			
OUTPUT								
Output Voltage Swing	$R_L = 1k\Omega$	± 3.9	± 3.8	± 3.4	± 3.3	V	min	A
	$R_L = 100\Omega$	± 3.6	± 3.5	± 3.3	± 3.2	V	min	A
Output Current	$V_{in} = 0V$, $R_L = 10\Omega$	± 90	160	≈ 0	≈ 40	mA	min	A
Output Impedance	$A_{VMAX} = +10V/V$, $f > 100kHz$	0.01				Ω	typ	C
POWER SUPPLY								
Specified Operating Voltage		± 5				V	typ	C
Minimum Operating Voltage			± 4	± 4	± 4	V	min	B
Maximum Operating Voltage			± 6	± 6	± 6	V	max	A
Maximum Quiescent Current	$V_{in} = 0V$	36.5	37.5	38	38.5	mA	max	A
Minimum Quiescent Current	$V_{in} = 0V$	36.5	35	34.5	34	mA	max	A
Power-Supply Rejection Ratio (-PSRR)	$V_{in} = +1V$	-68	-61	-59	-58	dB	min	A
THERMAL CHARACTERISTICS								
Specified Operating Range D Package	Junction-to-Ambient	-40 to +85				°C	typ	C
Thermal Resistance θ_{JA}								
DGS, MSOP-10		130				°C/W	typ	C
D, SO-14		80				°C/W	typ	C

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, DC Parameters

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $V_G = +1V$, and V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, unless otherwise noted.

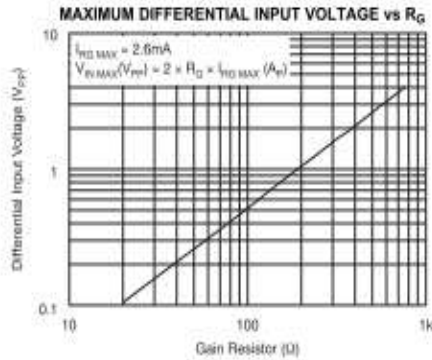


Figure 1.

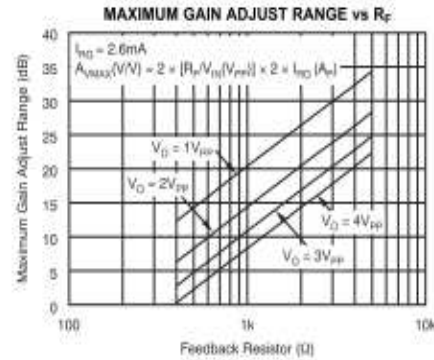


Figure 2.

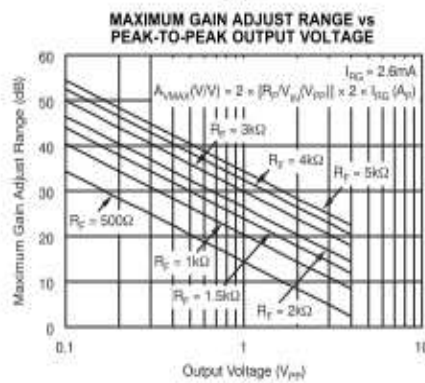


Figure 3.

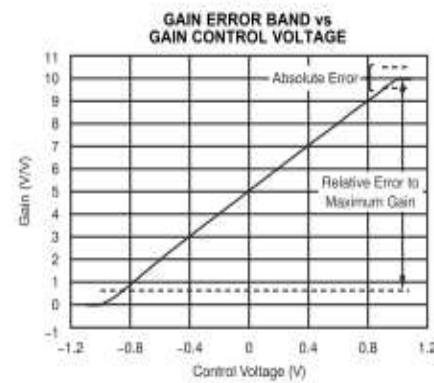


Figure 4.

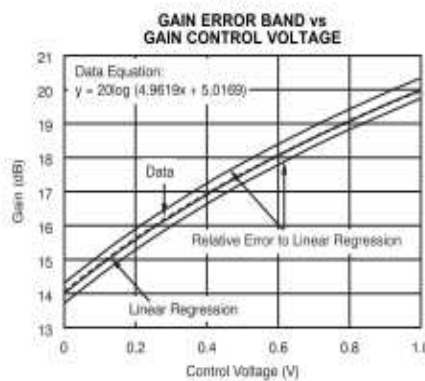


Figure 5.

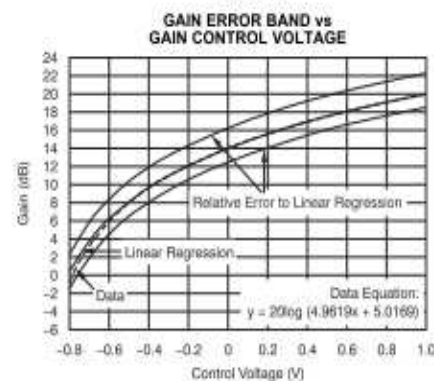


Figure 6.

VCA824



SBO6394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

TYPICAL CHARACTERISTICS: $V_S = \pm 15V$, DC and Power-Supply Parameters

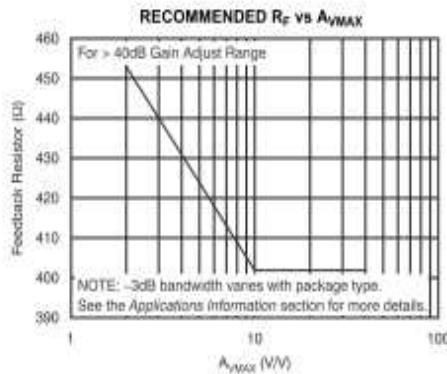
At $T_A = +25^\circ C$, $R_L = 100\Omega$, $V_{GS} = +1V$, and V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, unless otherwise noted.


Figure 7.

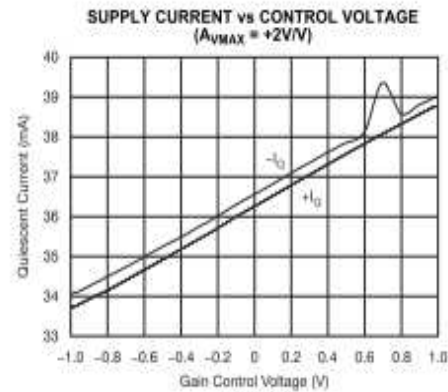


Figure 8.

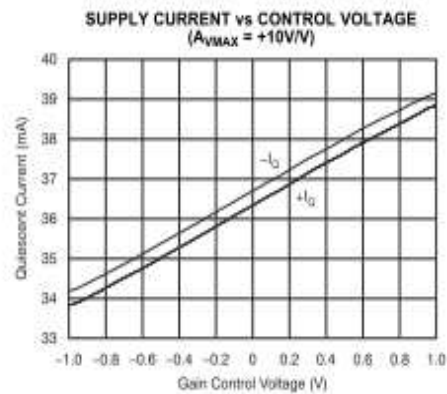


Figure 9.

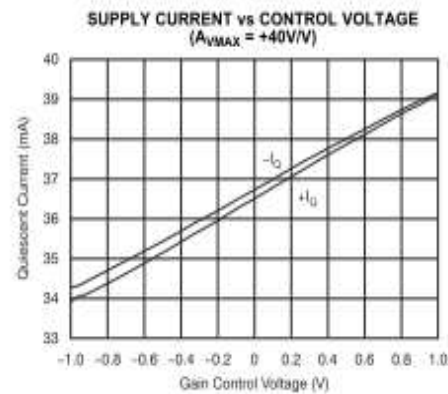


Figure 10.

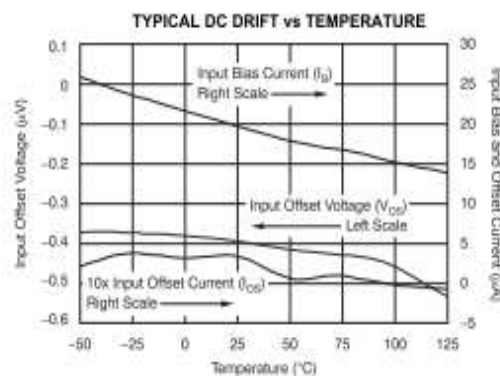


Figure 11.

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +2V/V$

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 453\Omega$, $R_G = 453\Omega$, $V_G = +1V$, V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, and SO-14 package, unless otherwise noted.

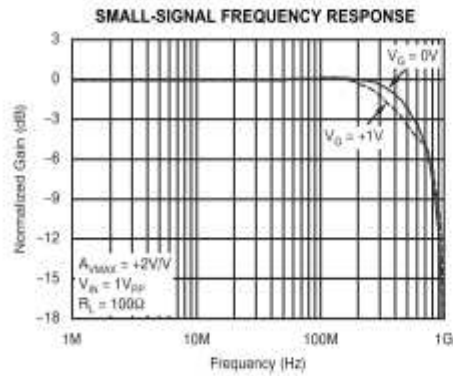


Figure 12.

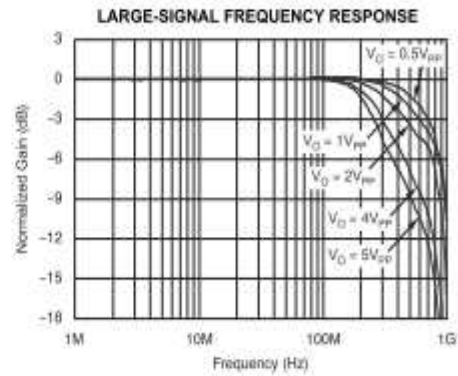


Figure 13.

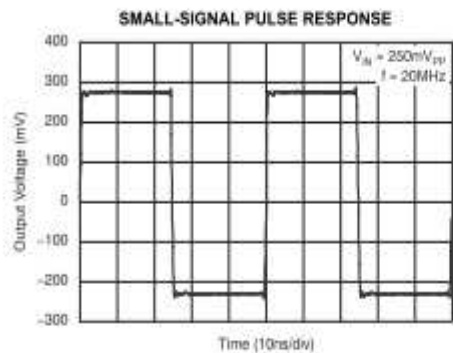


Figure 14.

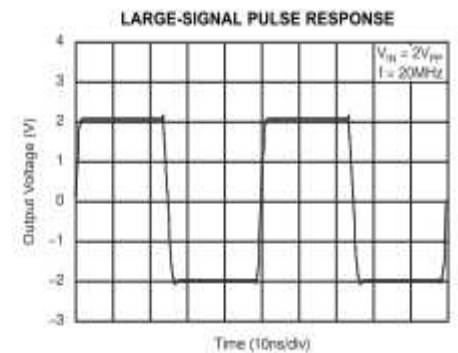


Figure 15.

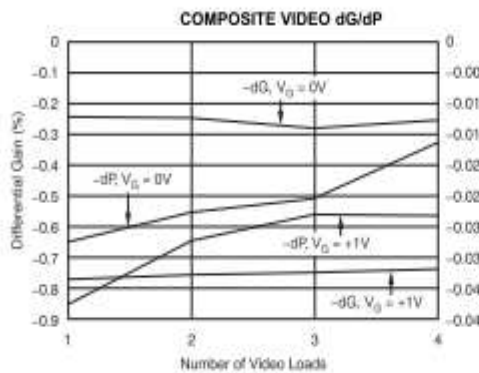


Figure 16.

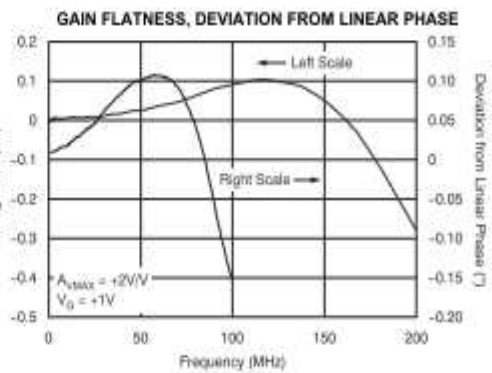


Figure 17.

VCA824



3BOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +2V/V$ (continued)

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 453\Omega$, $R_G = 453\Omega$, $V_O = +1V$, V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, and SO-14 package, unless otherwise noted.

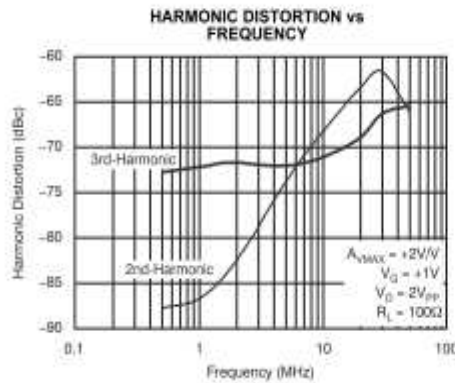


Figure 18.

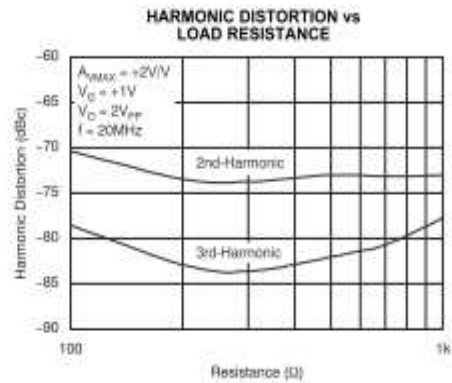


Figure 19.

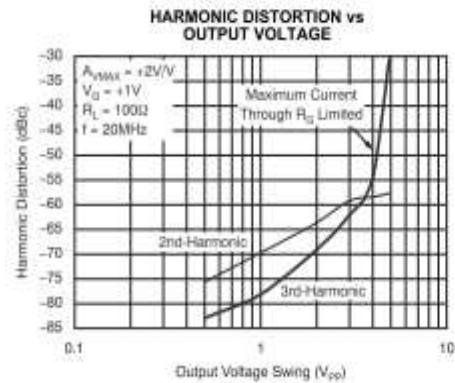


Figure 20.

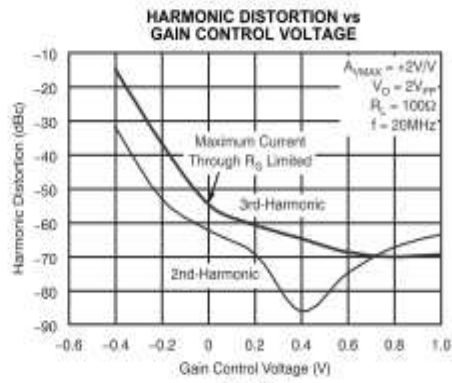


Figure 21.



Figure 22.

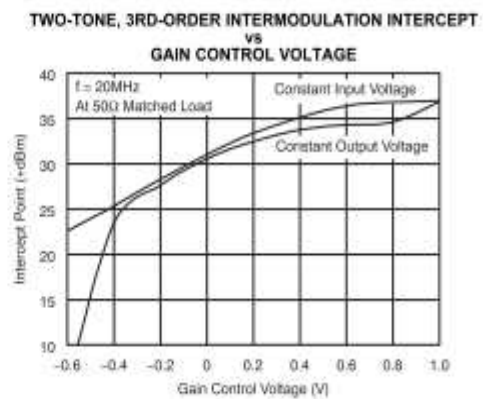


Figure 23.

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +2V/V$ (continued)

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 453\Omega$, $R_G = 453\Omega$, $V_G = +1V$, V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, and SO-14 package, unless otherwise noted.

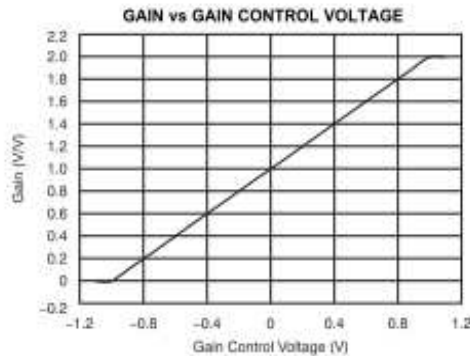


Figure 24.

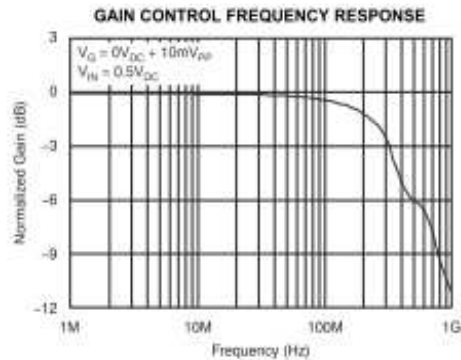


Figure 25.

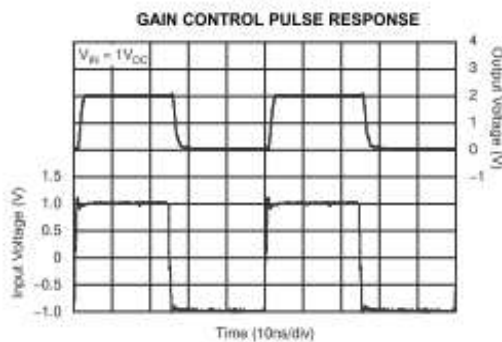


Figure 26.

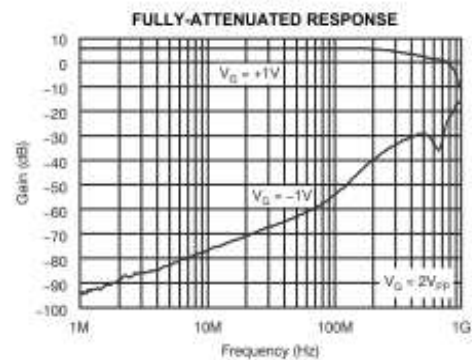


Figure 27.

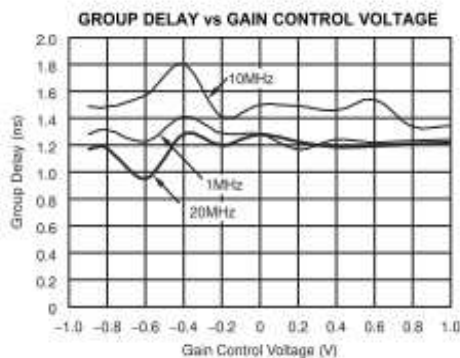


Figure 28.

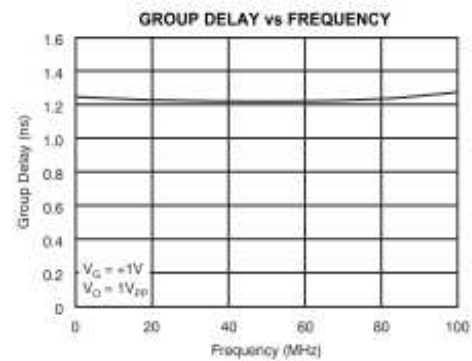


Figure 29.

VCA824



3BOS304C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +2V/V$ (continued)

At $T_A = +25^\circ C$, $R_i = 100\Omega$, $R_F = 453\Omega$, $R_G = 453\Omega$, $V_O = +1V$, V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, and SO-14 package, unless otherwise noted.

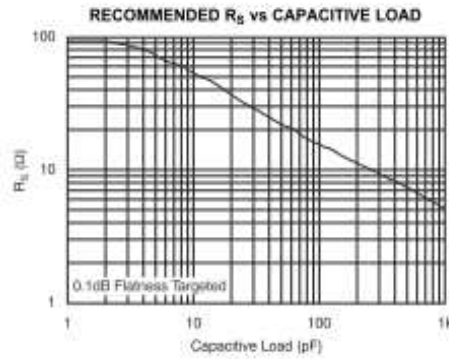


Figure 30.

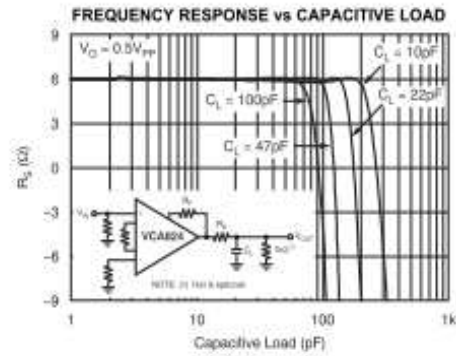


Figure 31.

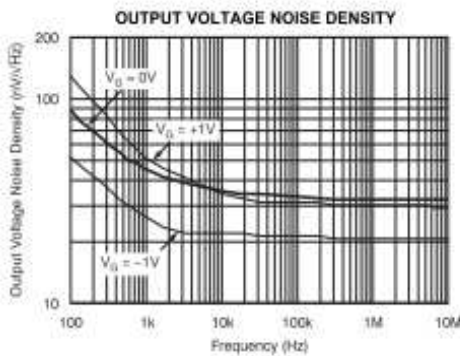


Figure 32.

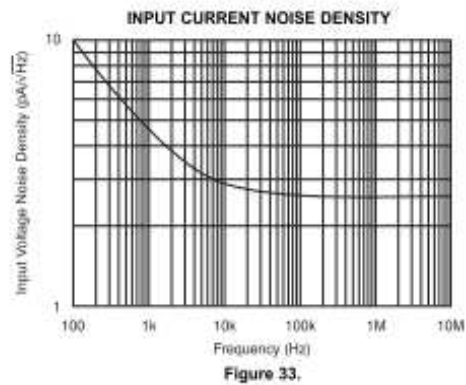


Figure 33.

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +10V/V$

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 402\Omega$, $R_G = 80\Omega$, $V_O = +1V$, and V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, unless otherwise noted.

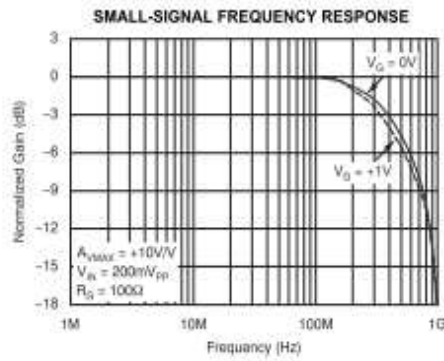


Figure 34.

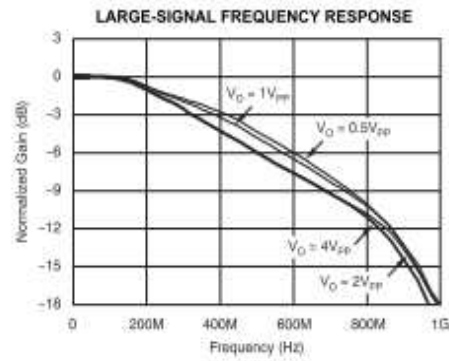


Figure 35.

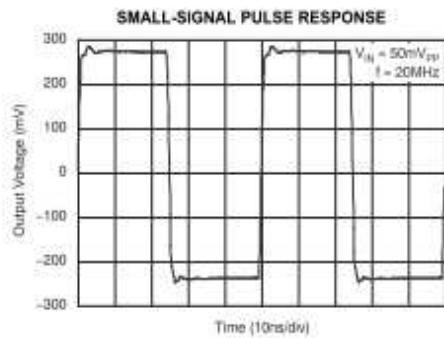


Figure 36.

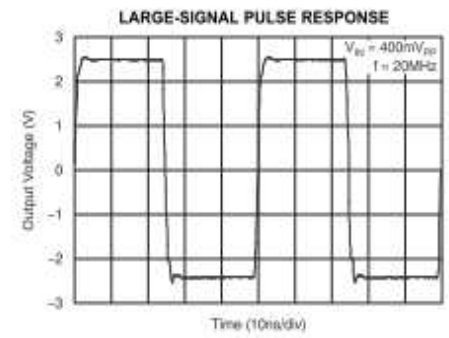


Figure 37.

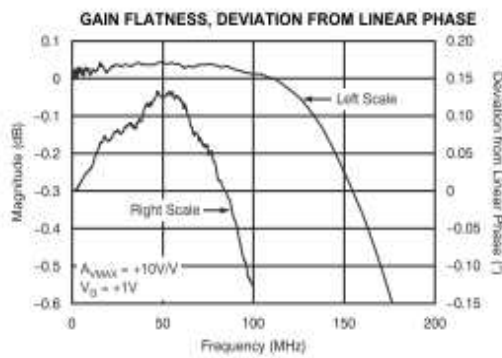


Figure 38.

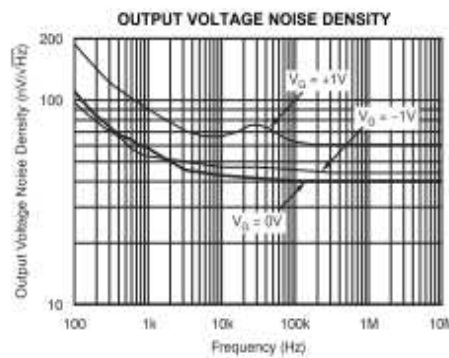


Figure 39.

VCA824



SBOS384C – NOVEMBER 2007 – REVISED DECEMBER 2008

www.ti.com

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +10V/V$ (continued)

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 402\Omega$, $R_G = 80\Omega$, $V_G = +1V$, and V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, unless otherwise noted.

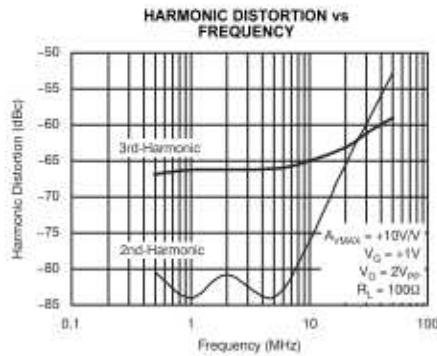


Figure 40.

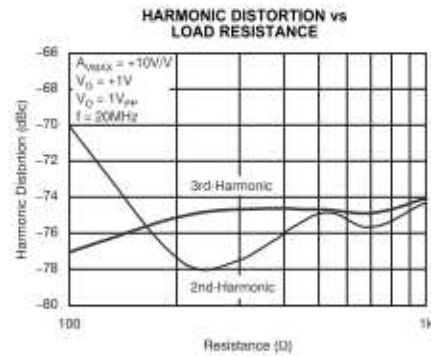


Figure 41.

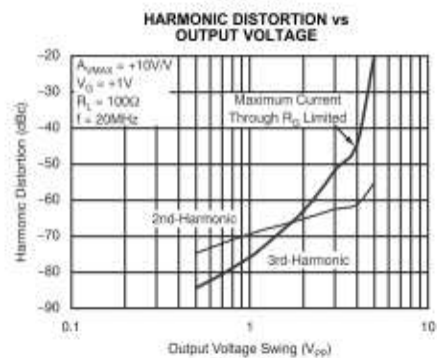


Figure 42.

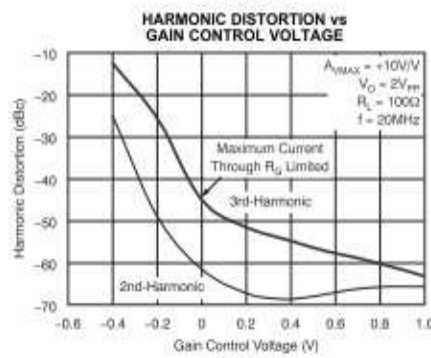


Figure 43.

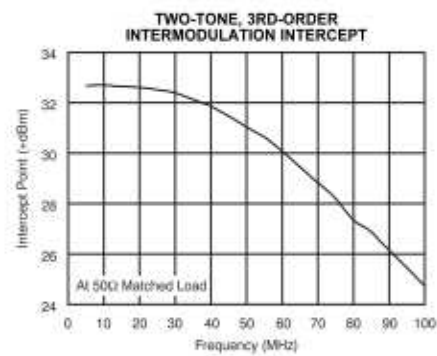


Figure 44.

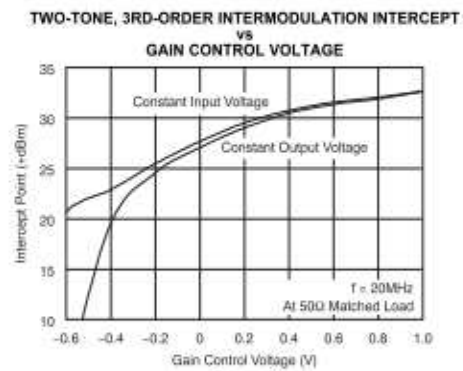


Figure 45.

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +10V/V$ (continued)

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 402\Omega$, $R_G = 80\Omega$, $V_G = +1V$, and V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, unless otherwise noted.

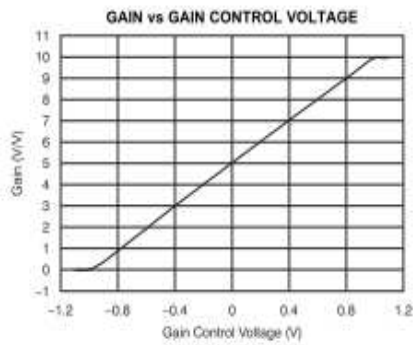


Figure 46.

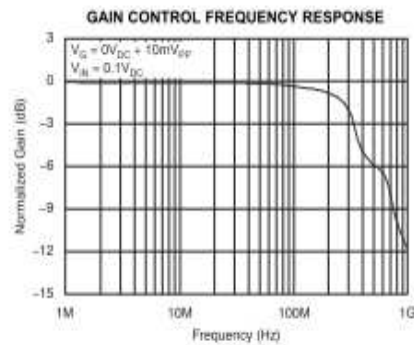


Figure 47.

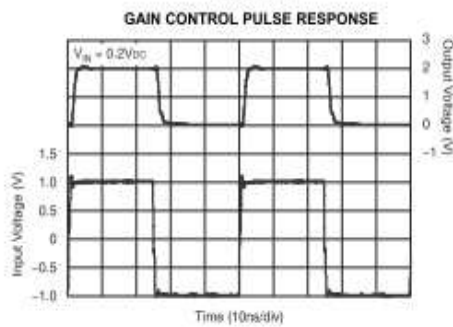


Figure 48.

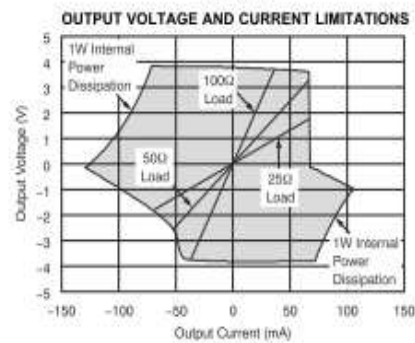


Figure 49.

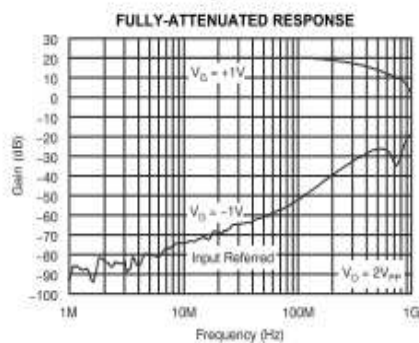


Figure 50.

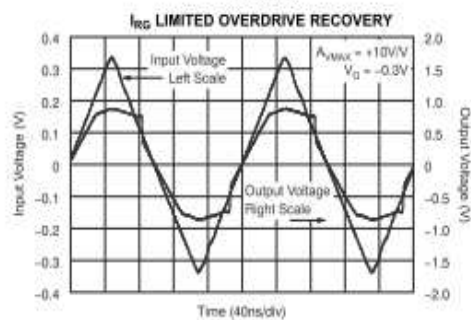


Figure 51.

VCA824



SBOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +10V/V$ (continued)

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 402\Omega$, $R_G = 80\Omega$, $V_D = +1V$, and V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, unless otherwise noted.

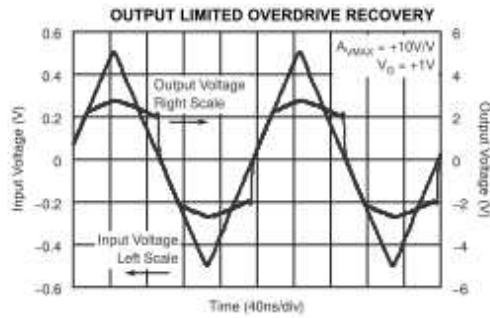


Figure 52.

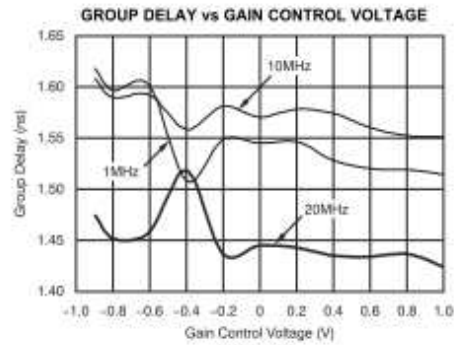


Figure 53.

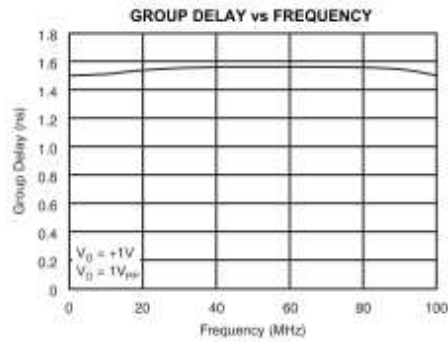


Figure 54.

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +40V/V$

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 402\Omega$, $R_G = 18\Omega$, $V_O = +1V$, V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, and SO-14 package, unless otherwise noted.

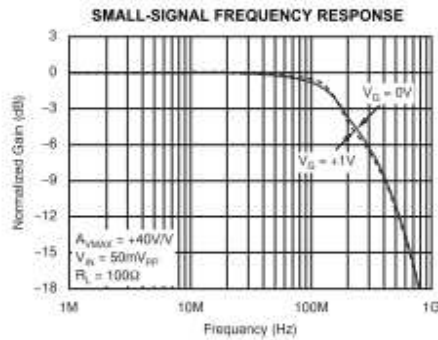


Figure 55.

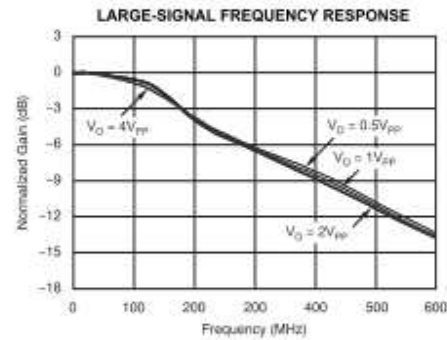


Figure 56.

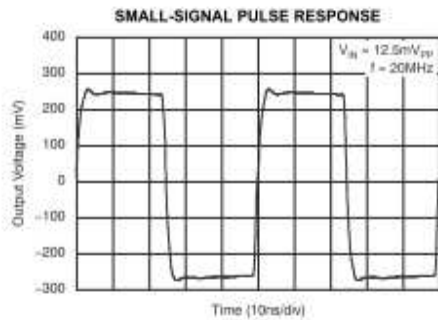


Figure 57.

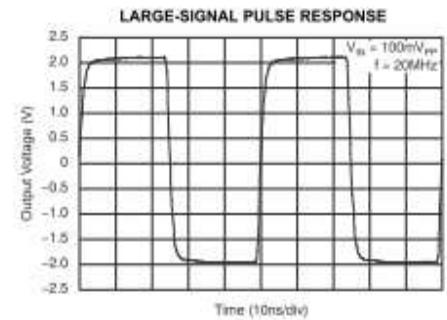


Figure 58.

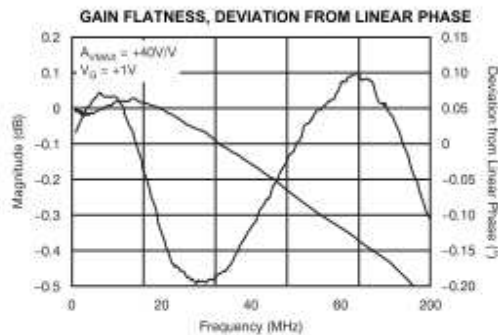


Figure 59.

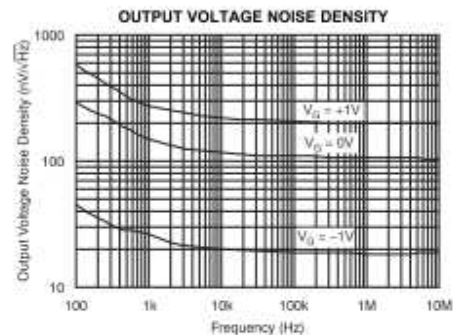


Figure 60.

VCA824



SB06394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +40V/V$ (continued)

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 402\Omega$, $R_G = 18\Omega$, $V_G = +1V$, V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, and SO-14 package, unless otherwise noted.

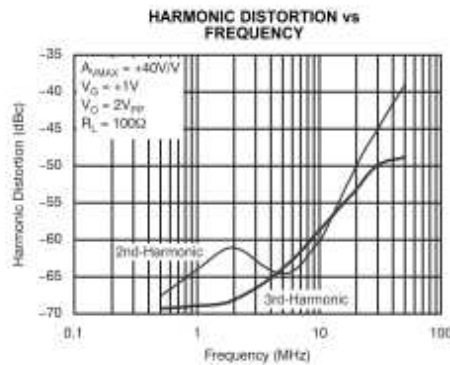


Figure 61.

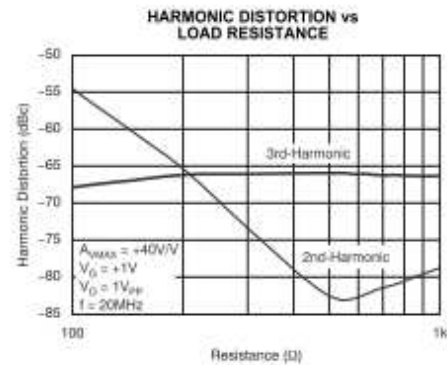


Figure 62.

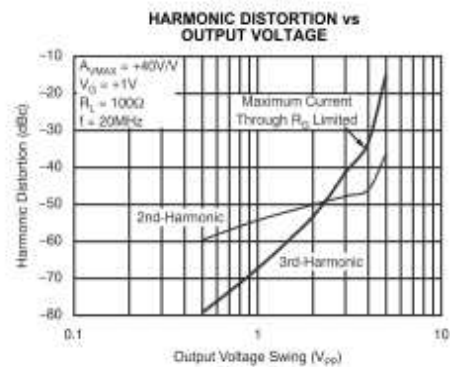


Figure 63.

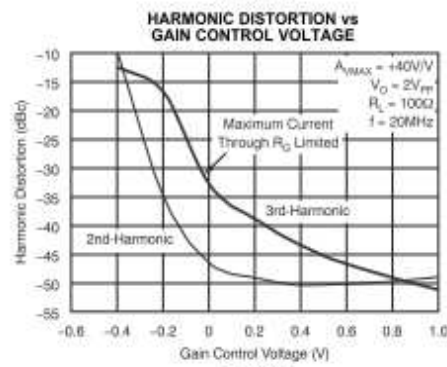


Figure 64.

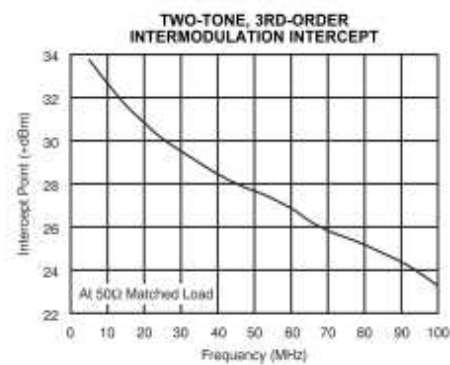


Figure 65.

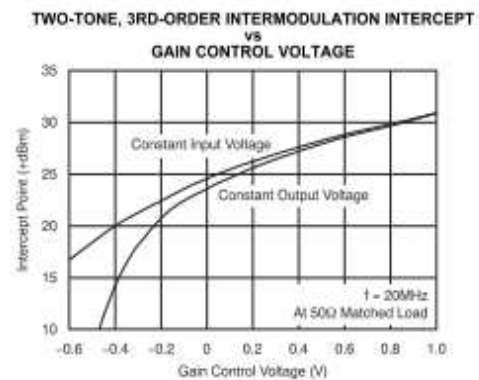


Figure 66.

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +40V/V$ (continued)

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 402\Omega$, $R_G = 18\Omega$, $V_G = +1V$, V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, and SO-14 package, unless otherwise noted.

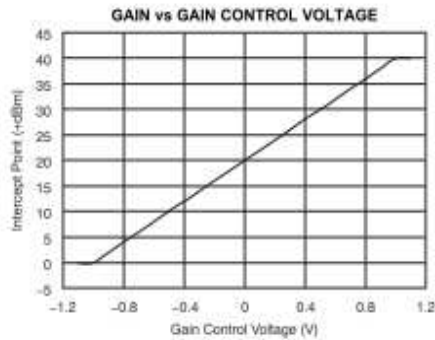


Figure 67.

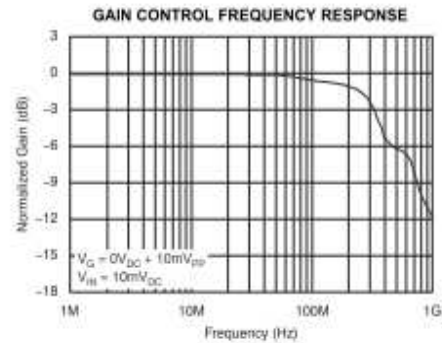


Figure 68.

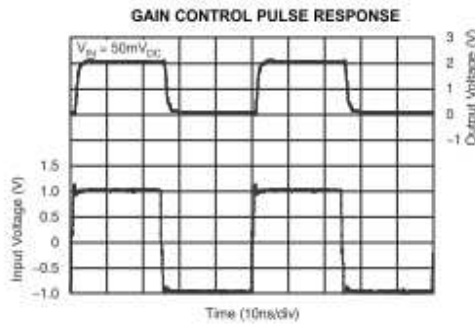


Figure 69.

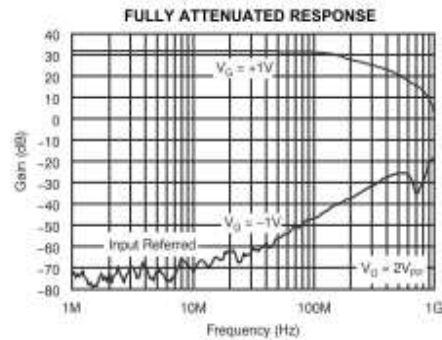


Figure 70.

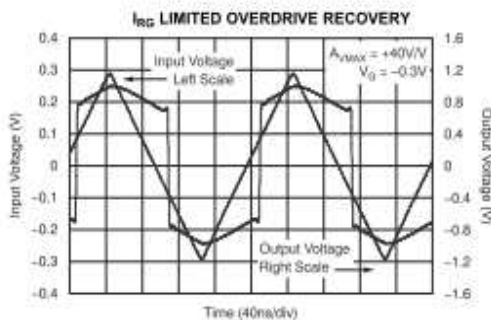


Figure 71.

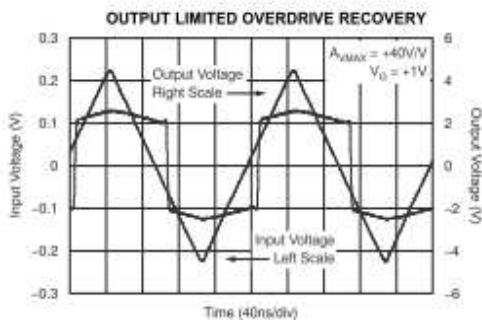


Figure 72.

VCA824



SBO5394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

TYPICAL CHARACTERISTICS: $V_S = \pm 5V$, $A_{VMAX} = +40V/V$ (continued)

At $T_A = +25^\circ C$, $R_L = 100\Omega$, $R_F = 402\Omega$, $R_G = 18\Omega$, $V_G = +1V$, V_{IN} = single-ended input on $+V_{IN}$ with $-V_{IN}$ at ground, and SO-14 package, unless otherwise noted.

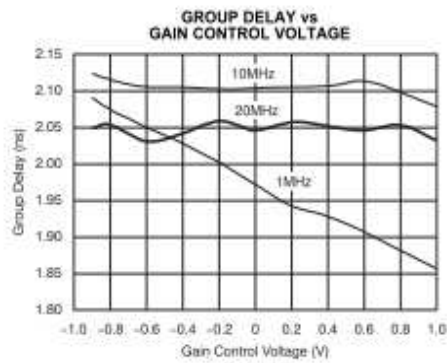


Figure 73.

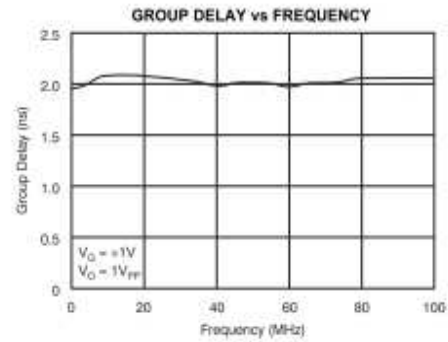


Figure 74.

APPLICATION INFORMATION

WIDEBAND VARIABLE GAIN AMPLIFIER OPERATION

The VCA824 provides an exceptional combination of high output power capability with a wideband, greater than 40dB gain adjust range, linear in V/V variable gain amplifier. The VCA824 input stage places the transconductance element between two input buffers, using the output currents as the forward signal. As the differential input voltage rises, a signal current is generated through the gain element. This current is then mirrored and gained by a factor of two before reaching the multiplier. The other input of the multiplier is the voltage gain control pin, V_G . Depending on the voltage present on V_G , up to two times the gain current is provided to the transimpedance output stage. The transimpedance output stage is a current-feedback amplifier providing high output current capability and high slew rate, 2500V/ μ s. This exceptional full-power performance comes at the price of relatively high quiescent current (36.5mA), but low input voltage noise for this type of architecture (6nV/ $\sqrt{\text{Hz}}$).

Figure 75 shows the dc-coupled, gain of +10V/V, dual power-supply circuit used as the basis of the ± 5 V Electrical Characteristics and Typical Characteristics.

For test purposes, the input impedance is set to 50 Ω with a resistor to ground and the output impedance is set to 50 Ω with a series output resistor. Voltage swings reported in the Electrical Characteristics table are taken directly at the input and output pins, while output power (dBm) is at the matched 50 Ω load. For the circuit in Figure 75, the total effective load is 100 Ω || 1k Ω . Note that for the SO-14 package, there is a voltage reference pin, V_{REF} (pin 9). For the SO-14 package, this pin must be connected to ground through a 20 Ω resistor in order to avoid possible oscillations of the output stage. In the MSOP-10 package, this pin is internally connected and does not require such precaution. An X2Y[®] capacitor has been used for power-supply bypassing. The combination of low inductance, high resonance frequency, and integration of three capacitors in one package (two capacitors to ground and one across the supplies) enables the VCA824 to achieve the low second-harmonic distortion reported in the Electrical Characteristics table. More information on how the VCA824 operates can be found in the Operating Suggestions section.

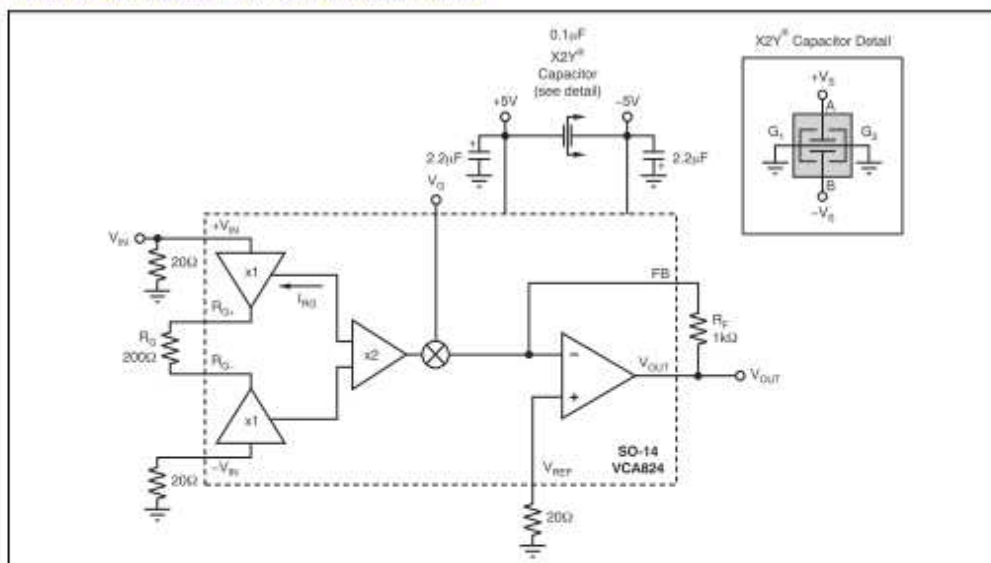


Figure 75. DC-Coupled, $A_{VMAX} = +10\text{V/V}$, Bipolar Supply Specification and Test Circuit

VCA824



SBOS384C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

FOUR-QUADRANT MULTIPLIER

A four-quadrant multiplier can easily be implemented using the VCA824. By placing a resistor between FB and V_{IN} , the transfer function depends upon both V_{IN} and V_G , as shown in Equation 1.

$$V_{OUT} = \frac{R_F}{R_G} \times V_G \times V_{IN} + \left(\frac{R_F}{R_G} - \frac{R_F}{R_1} \right) \times V_{IN} \quad (1)$$

Setting R_1 to equal R_G , the term that depends only on V_{IN} drops out of the equation, leaving only the term that depends on both V_G and V_{IN} . V_{OUT} then follows Equation 2.

$$V_{OUT} = \frac{R_F}{R_G} \times V_{IN} \times V_G \quad (2)$$

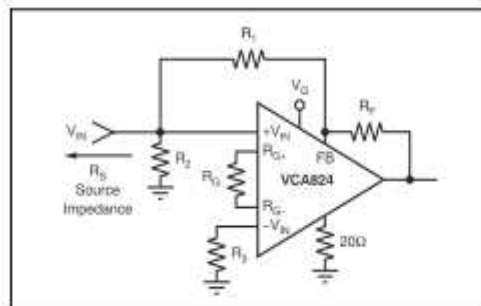


Figure 76. Four-Quadrant Multiplier Circuit

Figure 77 illustrates the behavior of this circuit. Keeping the input amplitude of a 1MHz signal constant and varying the V_G voltage (100kHz, 2V_{PP}) gives the modulated output voltage shown in Figure 77.

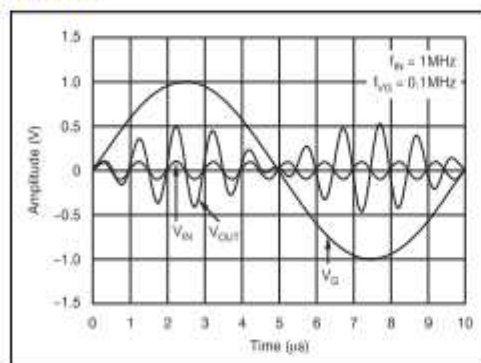


Figure 77. Modulated Output Signal of the 4-Quadrant Multiplier Circuit

DIFFERENCE AMPLIFIER

Because both inputs of the VCA824 are high-impedance, a difference amplifier can be implemented without any major problem. Figure 78 shows this implementation. This circuit provides excellent common-mode rejection ratio (CMRR) as long as the input is within the CMRR range of -2.1V to +1.6V. Note that this circuit does not make use of the gain control pin, V_G . Also, it is recommended to choose R_S such that the pole formed by R_S and the parasitic input capacitance does not limit the bandwidth of the circuit. Figure 79 shows the common-mode rejection ratio for this circuit implemented in a gain of +10V/V for $V_G = +1V$. Note that because the gain control voltage is fixed and is normally set to +1V, the feedback element can be reduced in order to increase the bandwidth. When reducing the feedback element, make sure that the VCA824 is not limited by common-mode input voltage, the current flowing through R_G , or any other limitation described in this data sheet.

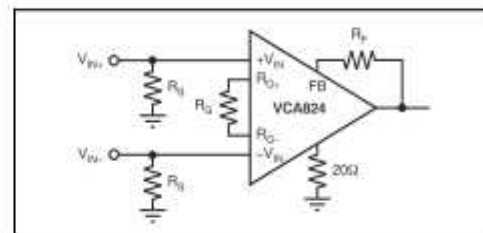


Figure 78. Difference Amplifier

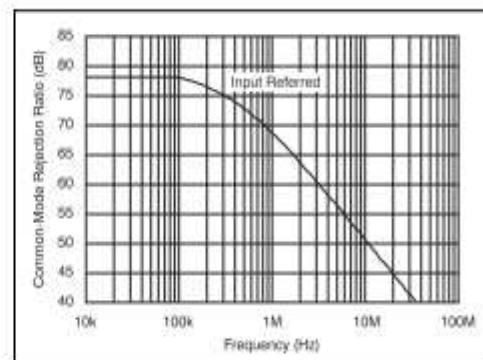


Figure 79. Common-Mode Rejection Ratio

DIFFERENTIAL EQUALIZER

If the application requires frequency shaping (the transition from one gain to another), the VCA824 can be used advantageously because its architecture allows the application to isolate the input from the gain setting elements. Figure 80 shows an implementation of such a configuration. The transfer function is shown in Equation 3.

$$G = 2 \times \frac{R_F}{R_G} \times \frac{1 + sR_Q C_1}{1 + sR_1 C_1} \quad (3)$$

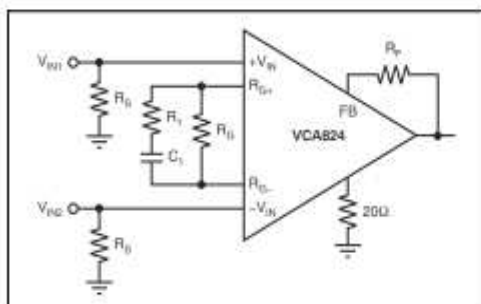


Figure 80. Differential Equalizer

This transfer function has one pole, P_1 (located at $R_Q C_1$), and one zero, Z_1 (located at $R_1 C_1$). When equalizing an RC load, R_L and C_L , compensate the pole added by the load located at $R_L C_L$ with the zero Z_1 . Knowing R_L , C_L , and R_Q allows the user to select C_1 as a first step and then calculate R_1 . Using $R_L = 75\Omega$, $C_L = 100\text{pF}$ and wanting the VCA824 to operate at a gain of $+2V/V$, which gives $R_F = R_Q = 453\text{k}\Omega$, allows the user to select $C_1 = 15.5\text{pF}$ to ensure a positive value for the resistor R_1 . With all these values known, to achieve greater than 300MHz bandwidth, R_1 can be calculated to be 20Ω . Figure 81 shows the frequency response for both the initial, unequaled frequency response and the resulting equalized frequency response.

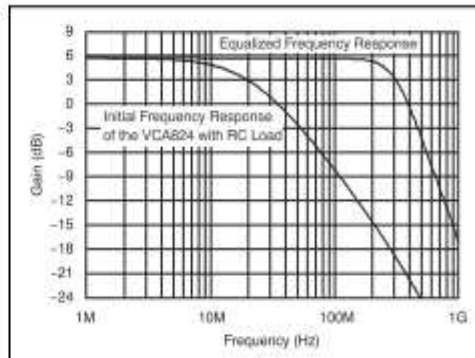


Figure 81. Differential Equalization of an RC Load

DIFFERENTIAL CABLE EQUALIZER

A differential cable equalizer can easily be implemented using the VCA824. An example of a cable equalization for 100 feet of Belden Cable 1694F is illustrated in Figure 83, with Figure 82 showing the result for this implementation. This implementation has a maximum error of 0.2dB from dc to 70MHz.

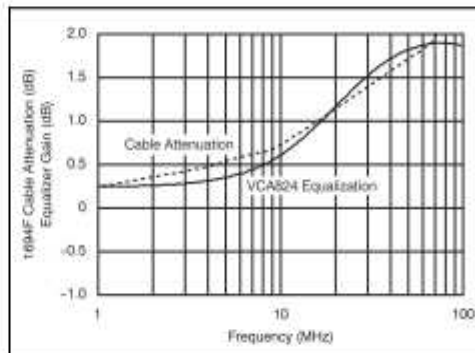


Figure 82. Cable Attenuation versus Equalizer Gain

Note that this implementation shows the cable attenuation side-by-side with the equalization in the same plot. For a given frequency, the equalization function realized with the VCA824 matches the cable attenuation. The circuit in Figure 83 is a driver circuit. To implement a receiver circuit, the signal is received differentially between the $+V_{IN}$ and $-V_{IN}$ inputs.

VCA824



SBOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

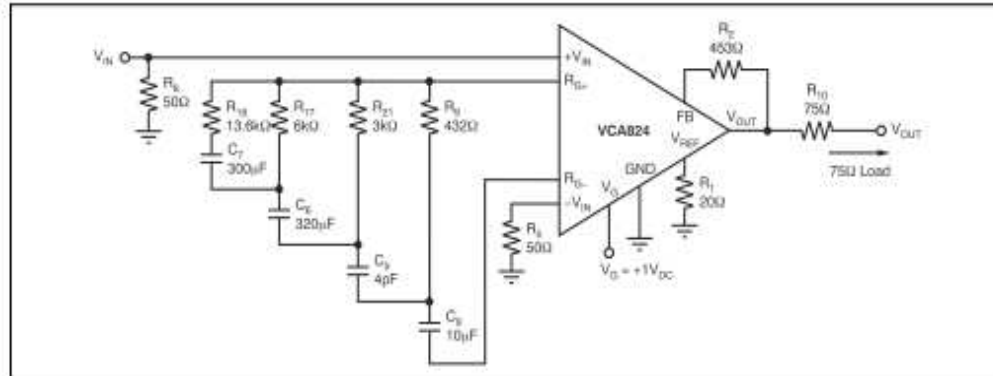


Figure 83. Differential Cable Equalizer

VOLTAGE-CONTROLLED LOW-PASS FILTER

In the circuit of Figure 84, the VCA824 serves as the variable-gain element of a voltage-controlled low-pass filter. This section discusses how this implementation expands the circuit voltage swing capability over that normally achieved with the equivalent multiplier implementation. The circuit control voltage, V_G , is calculated as according to the simplified relationship described in Equation 4:

$$\frac{V_{OUT}}{V_{IN}} = -\frac{R_2}{R_1} \times \frac{1}{1 + s \frac{R_2 C}{G}} \quad (4)$$

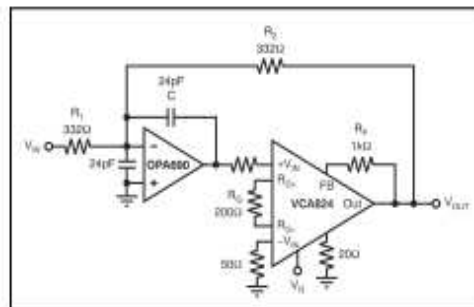


Figure 84. Voltage-Control Low-Pass Filter

The response control results from amplification of the feedback voltage applied to R_2 . First, consider the case where the VCA824 produces $G = 1V/V$. Then this circuit performs as if the amplifier were replaced

by a short circuit. Visually replacing the amplifier by a short leaves a simple voltage-feedback amplifier with a feedback resistor bypassed by a capacitor. Replacing this gain with a variable gain, G , the pole can be written as shown in Equation 5:

$$f_s = \frac{G}{2\pi R_2 C} \quad (5)$$

Because the VCA824 is most linear in the midrange, the median of the adjustable pole should be set at $V_G = 0V$ (see Figure 24, Figure 44, Figure 65, and Equation 6). Selecting $R_1 = R_2 = 332\Omega$, and targeting a median frequency of 10MHz, the capacitance (C) is 24pF. Because the OPA690 was selected for the circuit of Figure 84, and in order to limit peaking in the OPA690 frequency response, a capacitor equal to C was added on the inverting mode to ground. This architecture has the effect of setting the high-frequency noise gain of the OPA690 to $+2V/V$, ensuring stability and providing flat frequency response.

$$-0.8V \leq V_G \leq 0.8V \quad (6)$$

Once the median frequency is set, the maximum and minimum frequencies can be determined by using $V_G = -0.8V$ and $V_G = +0.8V$ in the gain equation of Equation 7. Note that this is a first-order analysis and does not take into consideration the open-loop gain limitation of the OPA690.

$$G = 2 \times \frac{R_F}{R_G} \times \frac{V_G + 1}{2} \quad (7)$$

With the components shown, the circuit provides a linear variation of the low-pass cutoff from 2MHz to 20MHz, using $-1V \leq V_G \leq +1V$.



VCA824

www.ti.com

SBOS394C – NOVEMBER 2007 – REVISED DECEMBER 2008

DESIGN-IN TOOLS

DEMONSTRATION BOARDS

Two printed circuit boards (PCBs) are available to assist in the initial evaluation of circuit performance using the VCA824 in its two package options. Both of these are offered free of charge as unpopulated PCBs, delivered with a user's guide. The summary information for these fixtures is shown in Table 1.

Table 1. EVM Ordering Information

PRODUCT	PACKAGE	BOARD PART NUMBER	LITERATURE REQUEST NUMBER
VCA824ID	SO-14	DEM-VCA-SO-1B	SBOU050
VCA824IDGS	MSOP-10	DEM-VCA-MSOP-1A	SBOU051

The demonstration fixtures can be requested at the Texas Instruments web site (www.ti.com) through the VCA824 product folder.

MACROMODELS AND APPLICATIONS SUPPORT

Computer simulation of circuit performance using SPICE is often useful when analyzing the performance of analog circuits and systems. This principle is particularly true for video and RF amplifier circuits where parasitic capacitance and inductance can play a major role in circuit performance. A [SPICE model](#) for the VCA824 is available through the TI web page. The applications group is also available for design assistance. The models available from TI

predict typical small-signal ac performance, transient steps, dc performance, and noise under a wide variety of operating conditions. The models include the noise terms found in the electrical specifications of the relevant product data sheet.

OPERATING SUGGESTIONS

Operating the VCA824 optimally for a specific application requires trade-offs between bandwidth, input dynamic range and the maximum input voltage, the maximum gain of operation and gain, output dynamic range and the maximum input voltage, the package used, loading, and layout and bypass recommendations. The [Typical Characteristics](#) have been defined to cover as much ground as possible to describe the VCA824 operation. There are four sections in the Typical Characteristics:

- $V_S = \pm 5V$ [DC Parameters](#) and $V_S = \pm 5V$ [DC and Power-Supply Parameters](#), which include dc operation and the intrinsic limitation of a VCA824 design
- $V_S = \pm 5V$, $A_{VMAX} = +2V/V$ [Gain of +2V/V Operation](#)
- $V_S = \pm 5V$, $A_{VMAX} = +10V/V$ [Gain of +10V/V Operation](#)
- $V_S = \pm 5V$, $A_{VMAX} = +40V/V$ [Gain of +40V/V Operation](#)

Where the Typical Characteristics describe the actual performance that can be achieved by using the amplifier properly, the following sections describe in detail the trade-offs needed to achieve this level of performance.

VCA824



SBOS384C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

PACKAGE CONSIDERATIONS

The VCA824 is available in both SO-14 and MSOP-10 packages. Each package has, for the different gains used in the typical characteristics, different values of R_F and R_G in order to achieve the same performance detailed in the [Electrical Characteristics](#) table.

Figure 85 shows a test gain circuit for the VCA824. Table 2 lists the recommended configuration for the SO-14 and MSOP-10 packages.

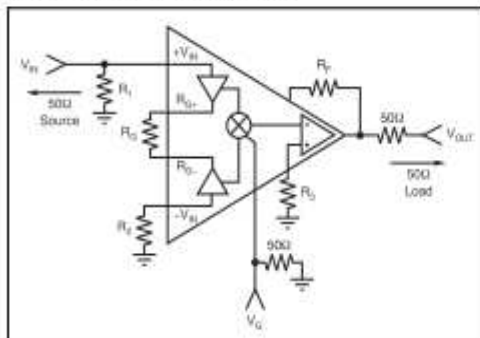


Figure 85. Test Circuit

Table 2. SO-14 and MSOP-10 R_F and R_G Configurations

	G = 2	G = 10	G = 100
R_F	453Ω	402Ω	402Ω
R_G	453Ω	80Ω	18Ω

There are no differences between the packages in the recommended values for the gain and feedback resistors. However, the bandwidth for the VCA824IDGS (MSOP-10 package) is lower than the bandwidth for the VCA824ID (SO-14 package). This difference is true for all gains, but especially true for gains greater than 5V/V, as can be seen in Figure 86 and Figure 87. Note that the scale must be changed to a linear scale to view the details.

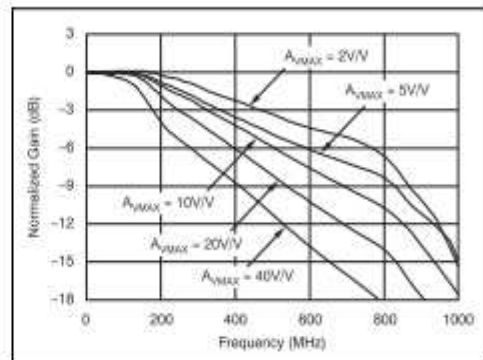


Figure 86. SO-14 Recommended R_F and R_G versus A_{VMAX}

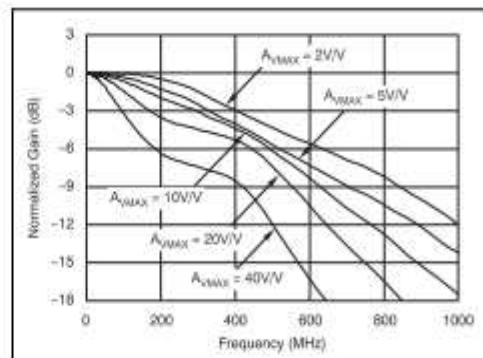


Figure 87. MSOP-10 Recommended R_F and R_G versus A_{VMAX}

**MAXIMUM GAIN OF OPERATION**

This section describes the use of the VCA824 in a fixed-gain application in which the V_G control pin is set at $V_G = +1V$. The tradeoffs described here are with bandwidth, gain, and output voltage range.

In the case of an application that does not make use of the V_{GAIN} , but requires some other characteristic of the VCA824, the R_G resistor must be set such that the maximum current flowing through the resistance I_{RG} is less than $\pm 2.6mA$ typical, or $5.2mA_{PP}$ as defined in the [Electrical Characteristics](#) table, and must follow [Equation 8](#).

$$I_{RG} = \frac{V_{OUT}}{A_{VMAX} \times R_G} \quad (8)$$

As [Equation 8](#) illustrates, once the output dynamic range and maximum gain are defined, the gain resistor is set. This gain setting in turn affects the bandwidth, because in order to achieve the gain (and with a set gain element), the feedback element of the output stage amplifier is set as well. Keeping in mind that the output amplifier of the VCA824 is a current-feedback amplifier, the larger the feedback element, the lower the bandwidth because the feedback resistor is the compensation element.

Limiting the discussion to the input voltage only and ignoring the output voltage and gain, [Figure 1](#) illustrates the tradeoff between the input voltage and the current flowing through the gain resistor.

OUTPUT CURRENT AND VOLTAGE

The VCA824 provides output voltage and current capabilities that are unsurpassed in a low-cost monolithic VCA. Under no-load conditions at $+25^\circ C$, the output voltage typically swings closer than 1V to either supply rails; the $+25^\circ C$ swing limit is within 1.2V of either rails. Into a 15 Ω load (the minimum tested load), it is tested to deliver more than $\pm 160mA$.

The specifications described above, though familiar in the industry, consider voltage and current limits separately. In many applications, it is the voltage \times current, or $V \cdot I$ product, that is more relevant to circuit operation. Refer to the *Output Voltage and Current Limitations* plot ([Figure 49](#)) in the *Typical Characteristics*. The X- and Y-axes of this graph show the zero-voltage output current limit and the zero-current output voltage limit, respectively. The four quadrants give a more detailed view of the VCA824 output drive capabilities, noting that the graph is bounded by a *Safe Operating Area* of 1W maximum internal power dissipation. Superimposing resistor load lines onto the plot shows that the

VCA824 can drive $\pm 2.5V$ into 25 Ω or $\pm 3.5V$ into 50 Ω without exceeding the output capabilities or the 1W dissipation limit. A 100 Ω load line (the standard test circuit load) shows the full $\pm 3.9V$ output swing capability, as shown in the [Typical Characteristics](#).

The minimum specified output voltage and current over-temperature are set by worst-case simulations at the cold temperature extreme. Only at cold startup do the output current and voltage decrease to the numbers shown in the [Electrical Characteristic](#) tables. As the output transistors deliver power, the respective junction temperatures increase, thereby increasing the available output voltage swing and output current.

In steady-state operation, the available output voltage and current are always greater than the temperature shown in the over-temperature specifications because the output stage junction temperatures are higher than the specified operating ambient.

INPUT VOLTAGE DYNAMIC RANGE

The VCA824 has a input dynamic range limited to $+1.6V$ and $-2.1V$. Increasing the input voltage dynamic range can be done by using an attenuator network on the input. If the VCA824 is trying to regulate the amplitude at the output, such as in an AGC application, the input voltage dynamic range is directly proportional to [Equation 9](#).

$$V_{IN(PP)} = R_G \times I_{RG(PP)} \quad (9)$$

As such, for unity-gain or under-attenuated conditions, the input voltage must be limited to the CMIR of $\pm 1.6V$ ($3.2V_{PP}$) and the current (I_{RG}) must flow through the gain resistor, $\pm 2.6mA$ ($5.2mA_{PP}$). This configuration sets a minimum value for R_E such that the gain resistor must be greater than [Equation 10](#).

$$R_{GMIN} = \frac{3.2V_{PP}}{5.2mA_{PP}} = 615.4\Omega \quad (10)$$

Values lower than 615.4 Ω are gain elements that result in reduced input range, as the dynamic input range is limited by the current flowing through the gain resistor R_G (I_{RG}). If the I_{RG} current limits the performance of the circuit, the input stage of the VCA824 goes into overdrive, resulting in limited output voltage range. Such I_{RG} -limited overdrive conditions are shown in [Figure 51](#) for the gain of $+10V/V$ and [Figure 71](#) for the $+40V/V$ gain.

VCA824



SBOS304C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

OUTPUT VOLTAGE DYNAMIC RANGE

With its large output current capability and its wide output voltage swing of $\pm 3.9\text{V}$ typical on 100Ω load, it is easy to forget other types of limitations that the VCA824 can encounter. For these limitations, careful analysis must be done to avoid input stage limitation: either voltage or I_{RG} current. Note that if control pin V_G varies, the gain limitation may affect other aspects of the circuit.

BANDWIDTH

The output stage of the VCA824 is a wideband current-feedback amplifier. As such, the feedback resistance is the compensation of the last stage. Reducing the feedback element and maintaining the gain constant limits the useful range of I_{RG} , and therefore, reduces the gain adjust range. For a given gain, reducing the gain element limits the maximum achievable output voltage swing.

OFFSET ADJUSTMENT

As a result of the internal architecture used on the VCA824, the output offset voltage originates from the output stage and from the input stage and multiplier core. Figure 88 shows how to compensate both sources of the output offset voltage. Use this procedure to compensate the output offset voltage: starting with the output stage compensation, set $V_G = -1\text{V}$ to eliminate all offset contribution of the input stage and multiplier core. Adjust the output stage offset compensation potentiometer. Finally, set $V_G = +1\text{V}$ to the maximum gain and adjust the input stage and multiplier core potentiometer. This procedure effectively eliminates all offset contribution at the maximum gain. Because adjusting the gain modifies the contribution of the input stage and the multiplier core, some residual output offset voltage remains.

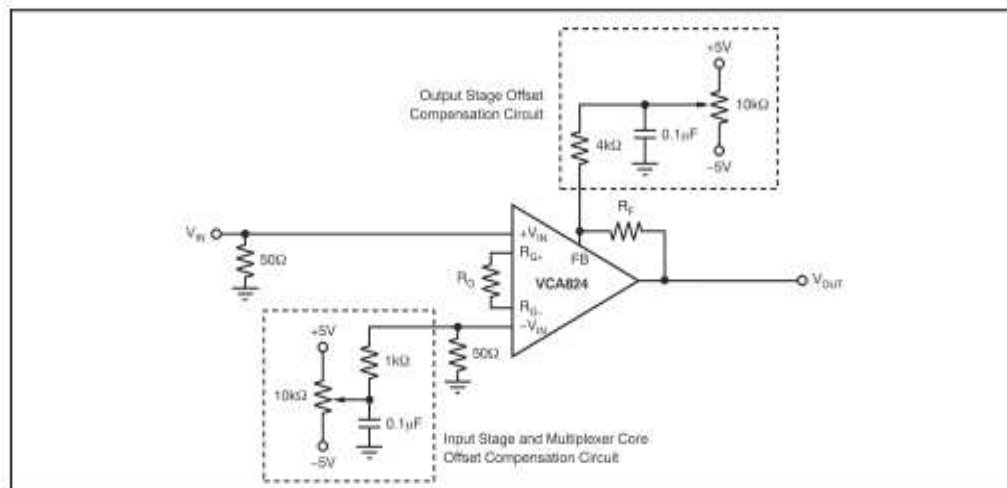


Figure 88. Adjusting the Input and Output Voltage Sources



VCA824

www.ti.com

SBOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

NOISE

The VCA824 offers 6nV/√Hz input-referred voltage noise density at a gain of +10V/V and 2.6pA/√Hz input-referred current noise density. The input-referred voltage noise density considers that all noise terms (except the input current noise but including the thermal noise of both the feedback resistor and the gain resistor) are expressed as one term.

This model is formulated in Equation 11 and Figure 89.

$$e_O = A_{VMAX} \times \sqrt{2 \times (R_S \times i_n)^2 + e_n^2 + 2 \times 4kTR_S} \quad (11)$$

A more complete model is shown in Figure 90. For additional information on this model and the actual modeled noise terms, please contact the High-Speed Product Application Support team at www.ti.com.

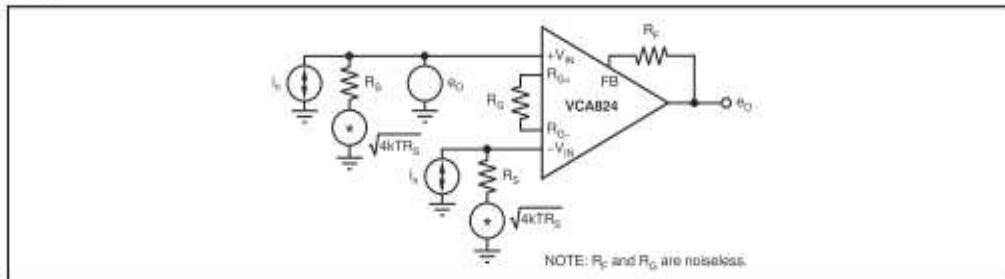


Figure 89. Simple Noise Model

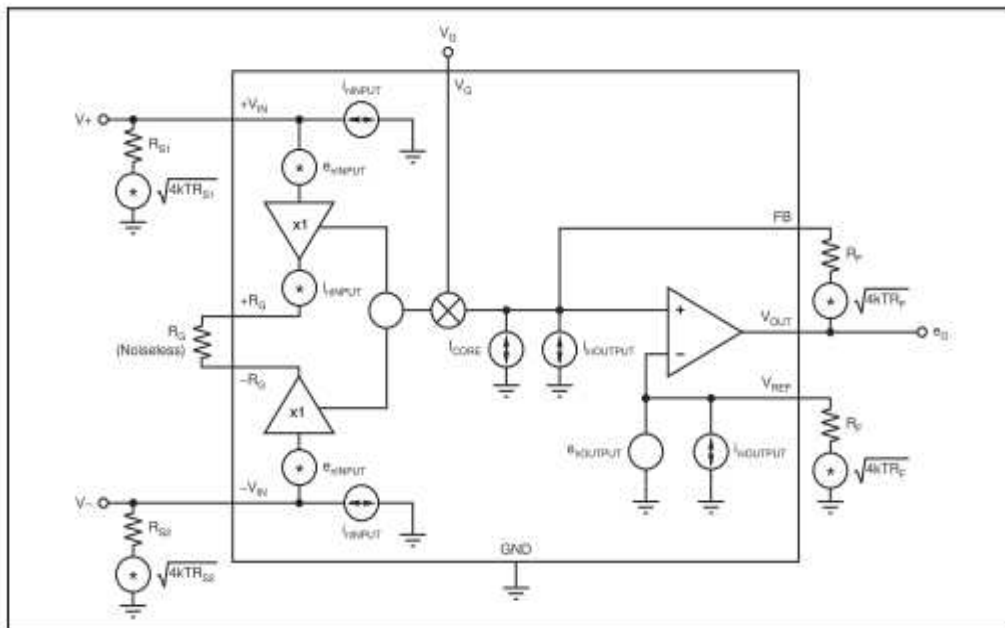


Figure 90. Full Noise Model

VCA824



SBOS394C – NOVEMBER 2007 – REVISED DECEMBER 2008

www.ti.com

THERMAL ANALYSIS

The VCA824 does not require heatsinking or airflow in most applications. The maximum desired junction temperature sets the maximum allowed internal power dissipation as described in this section. In no case should the maximum junction temperature be allowed to exceed +150°C.

Operating junction temperature (T_J) is given by Equation 12:

$$T_J = T_A + P_D \times \theta_{JA} \quad (12)$$

The total internal power dissipation (P_D) is the sum of quiescent power (P_{DQ}) and additional power dissipated in the output stage (P_{DL}) to deliver load power. Quiescent power is simply the specified no-load supply current times the total supply voltage across the part. P_{DL} depends on the required output signal and load; for a grounded resistive load, however, it is at a maximum when the output is fixed at a voltage equal to one-half of either supply voltage (for equal bipolar supplies). Under this worst-case condition, $P_{DL} = V_S^2 / (4 \times R_L)$, where R_L is the resistive load.

Note that it is the power in the output stage and not in the load that determines internal power dissipation. As a worst-case example, compute the maximum T_J using a VCA824ID (SO-14 package) in the circuit of Figure 75 operating at maximum gain and at the maximum specified ambient temperature of +85°C.

$$P_D = 10V(38.5mA) + 5^2 / (4 \times 100\Omega) = 447.5mW \quad (13)$$

$$\text{Maximum } T_J = +85^\circ\text{C} + (0.449W \times 80^\circ\text{C/W}) = 120.8^\circ\text{C} \quad (14)$$

This maximum operating junction temperature is well below most system level targets. Most applications should be lower because an absolute worst-case output stage power was assumed in this calculation of $V_{CC}/2$, which is beyond the output voltage range for the VCA824.

BOARD LAYOUT

Achieving optimum performance with a high-frequency amplifier such as the VCA824 requires careful attention to printed circuit board (PCB) layout parasitics and external component types. Recommendations to optimize performance include:

a) Minimize parasitic capacitance to any ac ground for all of the signal I/O pins. This recommendation includes the ground pin (pin 2). Parasitic capacitance on the output can cause instability; on both the inverting input and the noninverting input, it can react with the source impedance to cause unintentional

band limiting. To reduce unwanted capacitance, a window around the signal I/O pins should be opened in all of the ground and power planes around those pins. Otherwise, ground and power planes should be unbroken elsewhere on the board. Place a small series resistance (greater than 25Ω) with the input pin connected to ground to help decouple package parasitics.

b) Minimize the distance (less than 0.25 inches) from the power-supply pins to high-frequency 0.1μF decoupling capacitors. At the device pins, the ground and power plane layout should not be in close proximity to the signal I/O pins. Avoid narrow power and ground traces to minimize inductance between the pins and the decoupling capacitors. The power-supply connections should always be decoupled with these capacitors. Larger (2.2μF to 6.8μF) decoupling capacitors, effective at lower frequencies, should also be used on the main supply pins. These capacitors may be placed somewhat farther from the device and may be shared among several devices in the same area of the PCB.

c) Careful selection and placement of external components preserve the high-frequency performance of the VCA824. Resistors should be a very low reactance type. Surface-mount resistors work best and allow a tighter overall layout. Metal-film and carbon composition, axially-leaded resistors can also provide good high-frequency performance. Again, keep the leads and PCB trace length as short as possible. Never use wire-wound type resistors in a high-frequency application. Because the output pin is the most sensitive to parasitic capacitance, always position the series output resistor, if any, as close as possible to the output pin. Other network components, such as inverting or non-inverting input termination resistors, should also be placed close to the package.

d) Connections to other wideband devices on the board may be made with short direct traces or through onboard transmission lines. For short connections, consider the trace and the input to the next device as a lumped capacitive load. Relatively wide traces (50mils to 100mils, or 1.27mm to 2.54mm) should be used, preferably with ground and power planes opened up around them.

e) Socketing a high-speed part like the VCA824 is not recommended. The additional lead length and pin-to-pin capacitance introduced by the socket can create an extremely troublesome parasitic network, which can make it almost impossible to achieve a smooth, stable frequency response. Best results are obtained by soldering the VCA824 onto the board.



VCA824

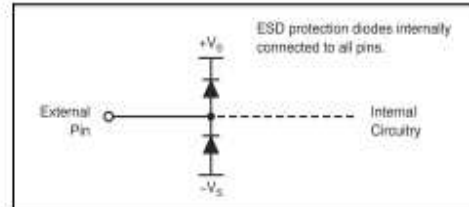
www.ti.com

SBOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

INPUT AND ESD PROTECTION

The VCA824 is built using a very high-speed complementary bipolar process. The internal junction breakdown voltages are relatively low for these very small geometry devices. These breakdowns are reflected in the [Absolute Maximum Ratings](#) table.

All pins on the VCA824 are internally protected from ESD by means of a pair of back-to-back reverse-biased diodes to either power supply, as shown in [Figure 91](#). These diodes begin to conduct when the pin voltage exceeds either power supply by about 0.7V. This situation can occur with loss of the amplifier power supplies while a signal source is still present. The diodes can typically withstand a continuous current of 30mA without destruction. To ensure long-term reliability, however, diode current should be externally limited to 10mA whenever possible.

**Figure 91. Internal ESD Protection**



VCA824



SBOS394C–NOVEMBER 2007–REVISED DECEMBER 2008

www.ti.com

Revision History

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

Changes from Revision B (August 2008) to Revision C	Page
• Revised second paragraph in the <i>Wideband Variable Gain Amplifier Operation</i> section describing pin 9.....	19
Changes from Revision A (December 2007) to Revision B	Page
• Changed storage temperature range rating in <i>Absolute Maximum Ratings</i> table from -40°C to $+125^{\circ}\text{C}$ to -65°C to $+125^{\circ}\text{C}$	2

**PACKAGING INFORMATION**

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
VCA824ID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
VCA824IDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
VCA824IDGSR	ACTIVE	MSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
VCA824IDGSRG4	ACTIVE	MSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
VCA824IDGST	ACTIVE	MSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
VCA824IDGSTG4	ACTIVE	MSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
VCA824IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
VCA824IDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

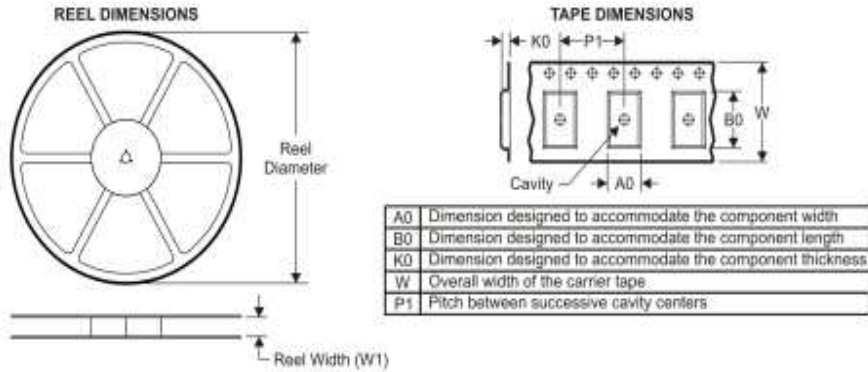
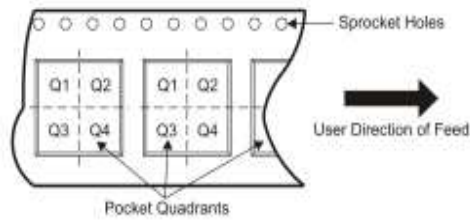
Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

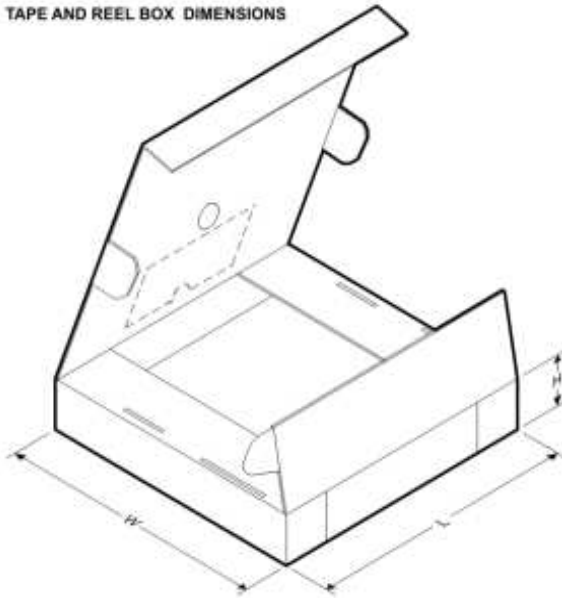
TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
VCA824IDGSR	MSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
VCA824IDGST	MSOP	DGS	10	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
VCA824IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

PACKAGE MATERIALS INFORMATION

19-Nov-2008

TAPE AND REEL BOX DIMENSIONS

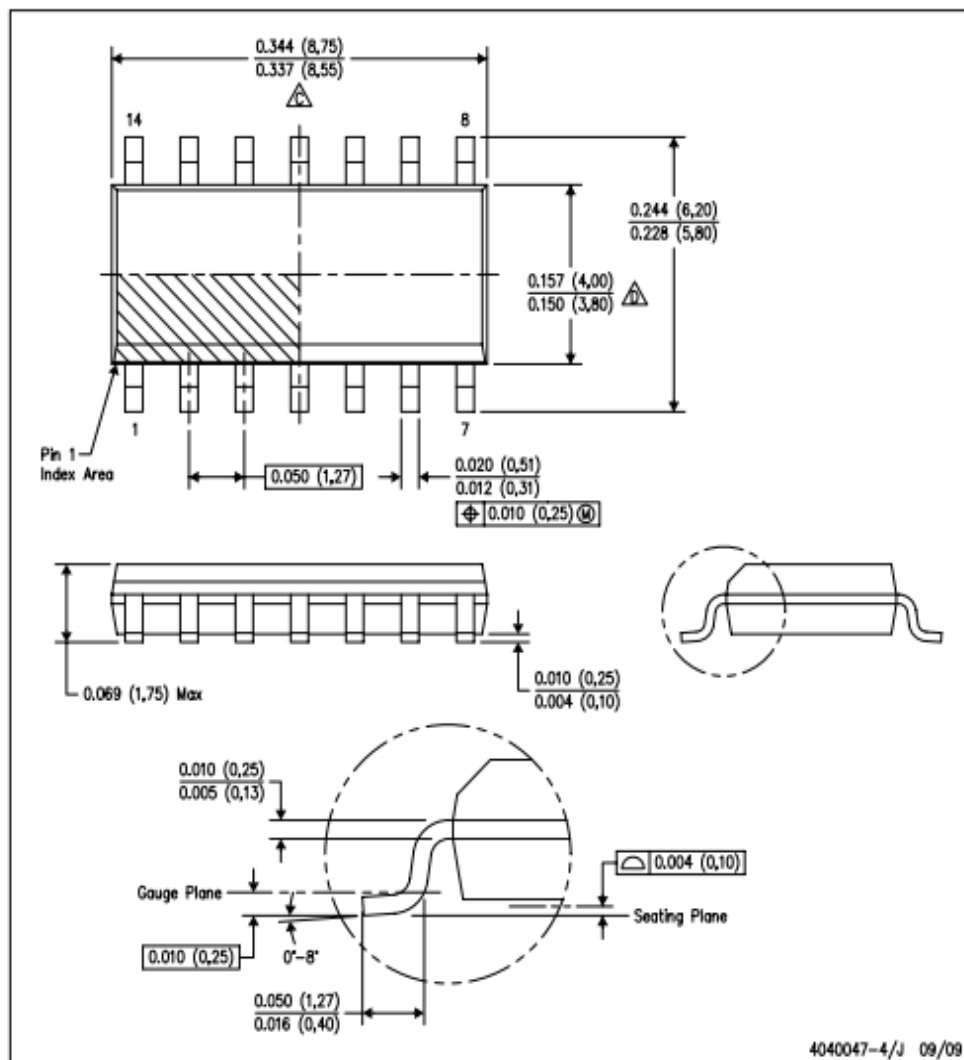
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
VCA824IDGSR	MSOP	DGS	10	2500	346.0	346.0	29.0
VCA824IDGST	MSOP	DGS	10	250	190.5	212.7	31.8
VCA824IDR	SOIC	D	14	2500	346.0	346.0	33.0

MECHANICAL DATA

D (R-PDSO-G14)

PLASTIC SMALL-OUTLINE PACKAGE

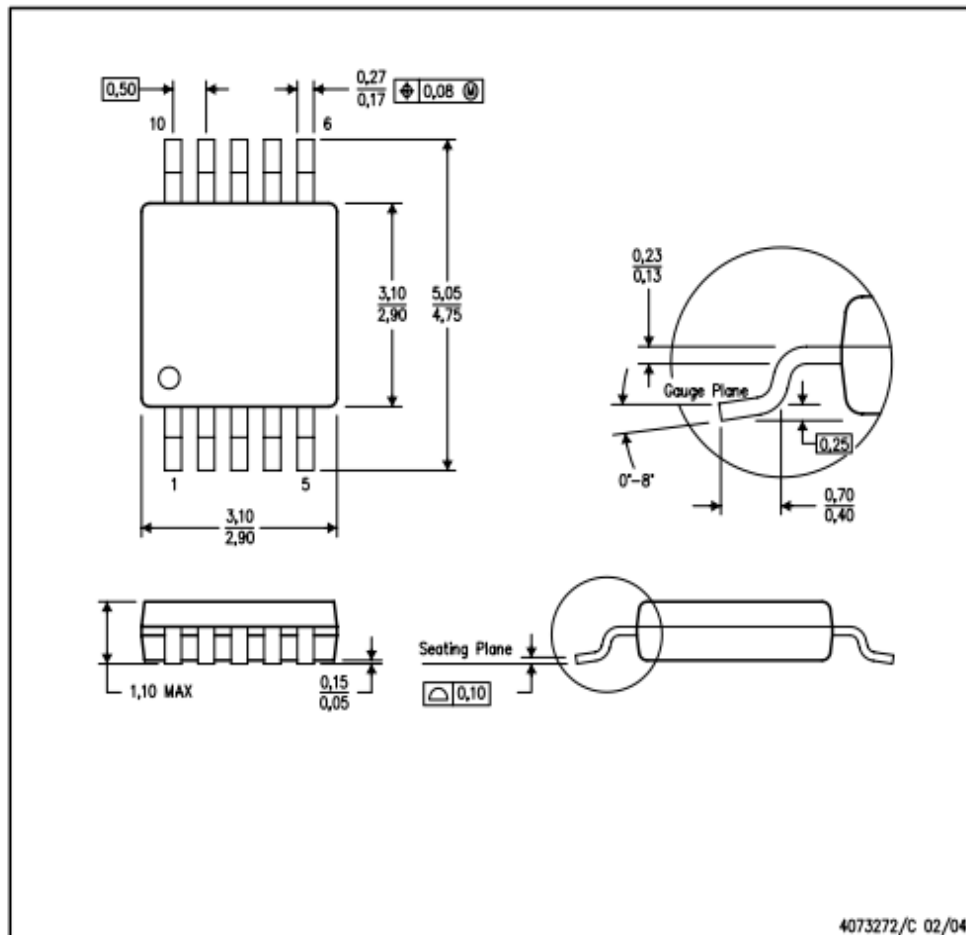


- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
 - E. Reference JEDEC MS-012 variation AB.

MECHANICAL DATA

DGS (S-PDSO-G10)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion.
 - Falls within JEDEC MO-187 variation BA.

**IMPORTANT NOTICE**

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of TI information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation. Information of third parties may be subject to additional restrictions.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

TI products are not authorized for use in safety-critical applications (such as life support) where a failure of the TI product would reasonably be expected to cause severe personal injury or death, unless officers of the parties have executed an agreement specifically governing such use. Buyers represent that they have all necessary expertise in the safety and regulatory ramifications of their applications, and acknowledge and agree that they are solely responsible for all legal, regulatory and safety-related requirements concerning their products and any use of TI products in such safety-critical applications, notwithstanding any applications-related information or support that may be provided by TI. Further, Buyers must fully indemnify TI and its representatives against any damages arising out of the use of TI products in such safety-critical applications.

TI products are neither designed nor intended for use in military/aerospace applications or environments unless the TI products are specifically designated by TI as military-grade or "enhanced plastic." Only products designated by TI as military-grade meet military specifications. Buyers acknowledge and agree that any such use of TI products which TI has not designated as military-grade is solely at the Buyer's risk, and that they are solely responsible for compliance with all legal and regulatory requirements in connection with such use.

TI products are neither designed nor intended for use in automotive applications or environments unless the specific TI products are designated by TI as compliant with ISO/TS 16949 requirements. Buyers acknowledge and agree that, if they use any non-designated products in automotive applications, TI will not be responsible for any failure to meet such requirements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products

Amplifiers	amplifier.ti.com
Data Converters	dataconverter.ti.com
DLP® Products	www.dlp.com
DSP	dsp.ti.com
Clocks and Timers	www.ti.com/clocks
Interface	interface.ti.com
Logic	logic.ti.com
Power Mgmt	power.ti.com
Microcontrollers	microcontroller.ti.com
RFID	www.ti-rfid.com
RF/F and ZigBee® Solutions	www.ti.com/lorf

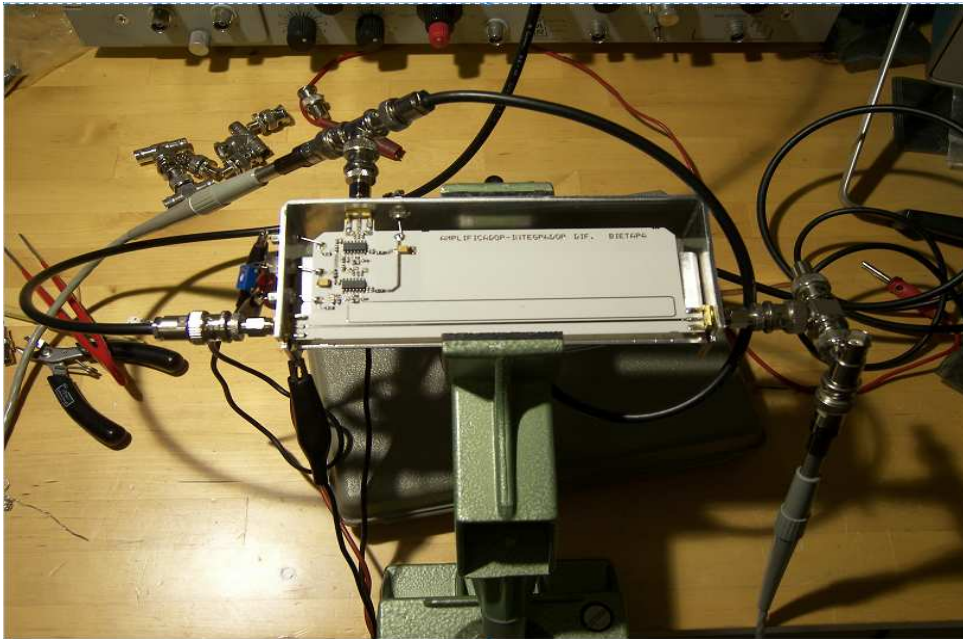
Applications

Audio	www.ti.com/audio
Automotive	www.ti.com/automotive
Broadband	www.ti.com/broadband
Digital Control	www.ti.com/digitalcontrol
Medical	www.ti.com/medical
Military	www.ti.com/military
Optical Networking	www.ti.com/opticalnetwork
Security	www.ti.com/security
Telephony	www.ti.com/telephony
Video & Imaging	www.ti.com/video
Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2009, Texas Instruments Incorporated

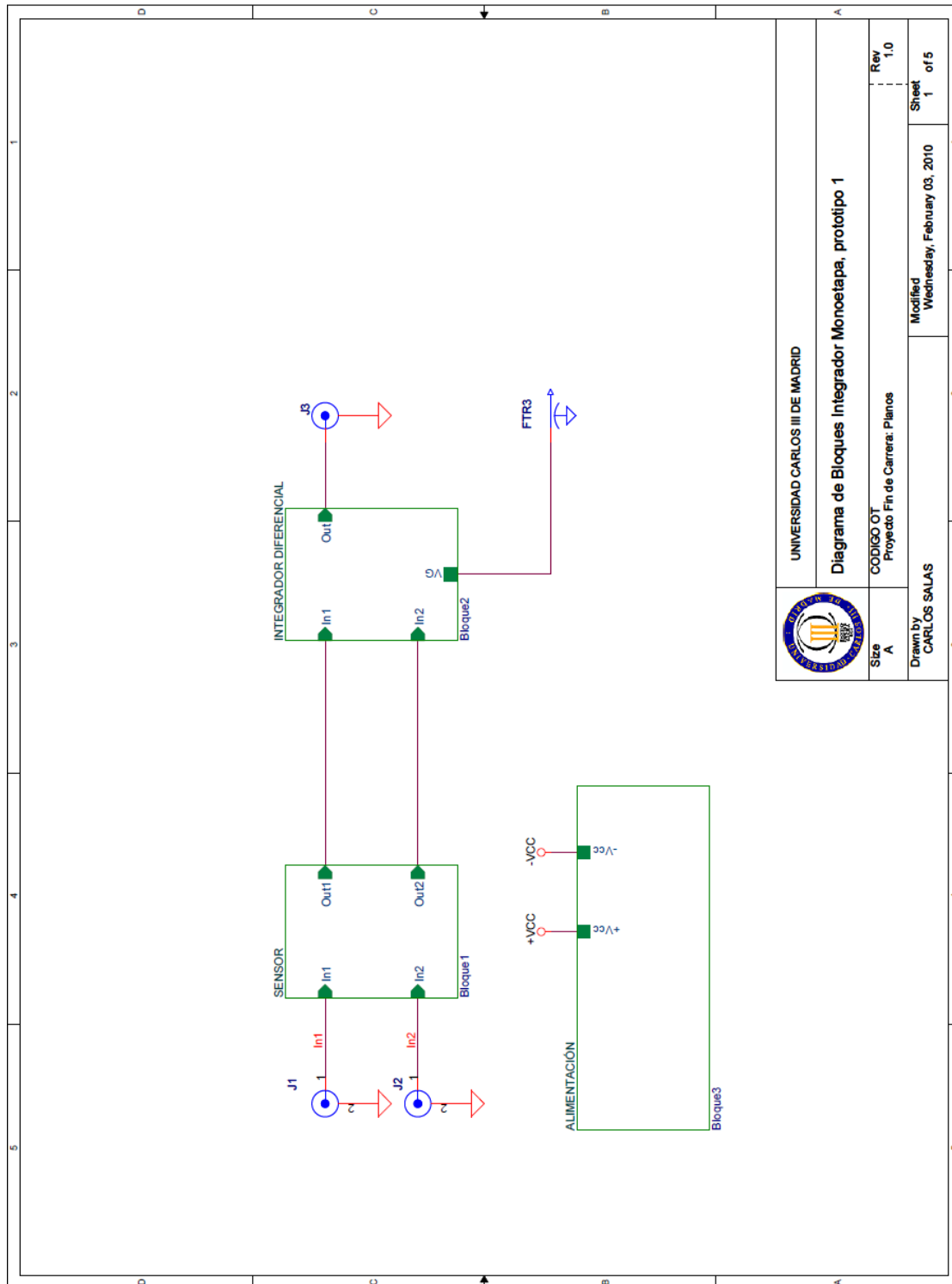
Fotos Del Montaje Experimental:


Son dos fotos del montaje experimental realizado. Observamos la PCB del circuito amplificador-integrador bietapa con la espira, con alimentaciones y con las sondas del aparato de medidas conectado. En la segunda foto se aprecia, en la esquina superior izquierda el generador de radiofrecuencia WAVETEK 3000, y en la esquina inferior derecha el voltímetro vectorial HP8405A

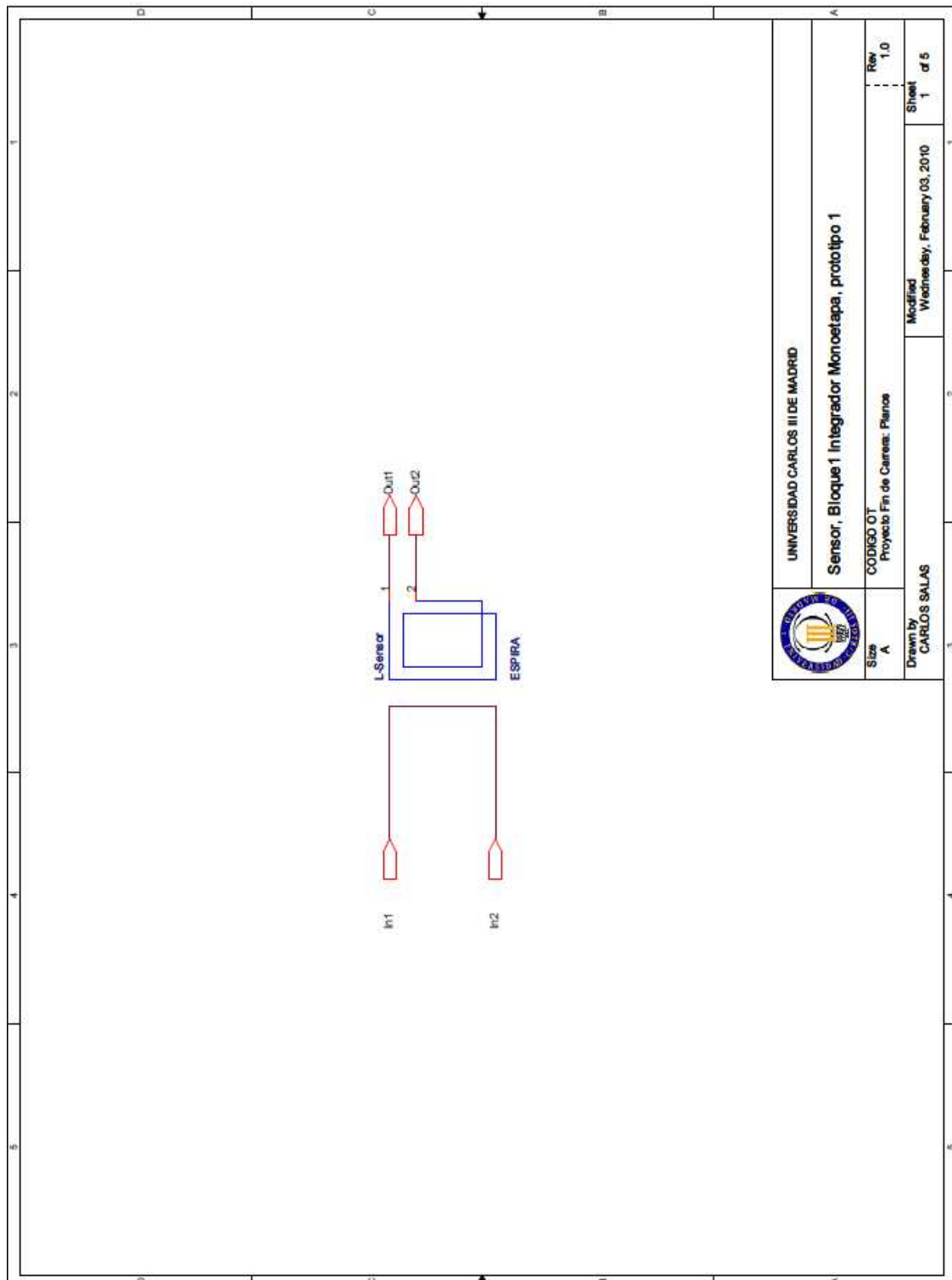


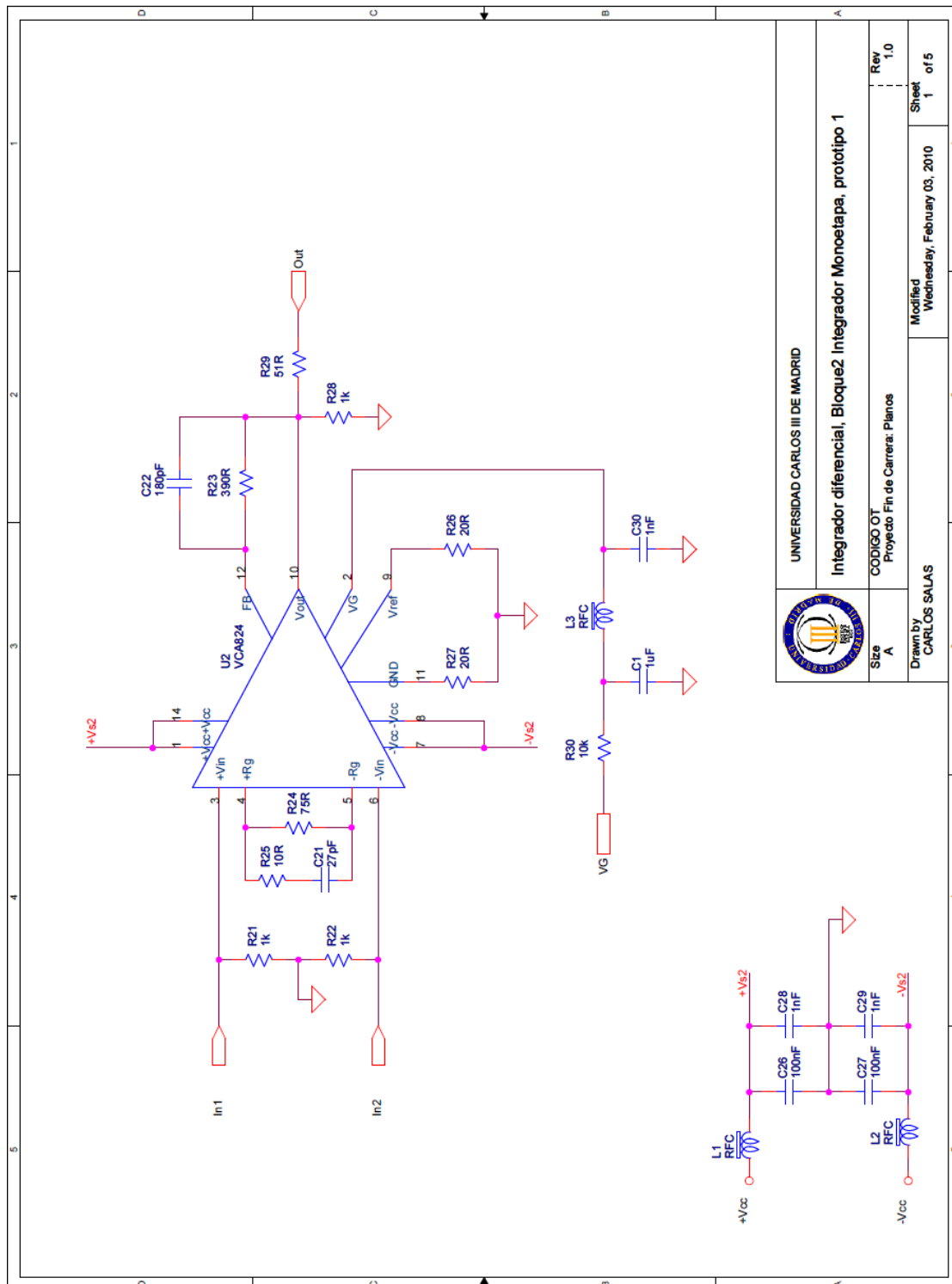


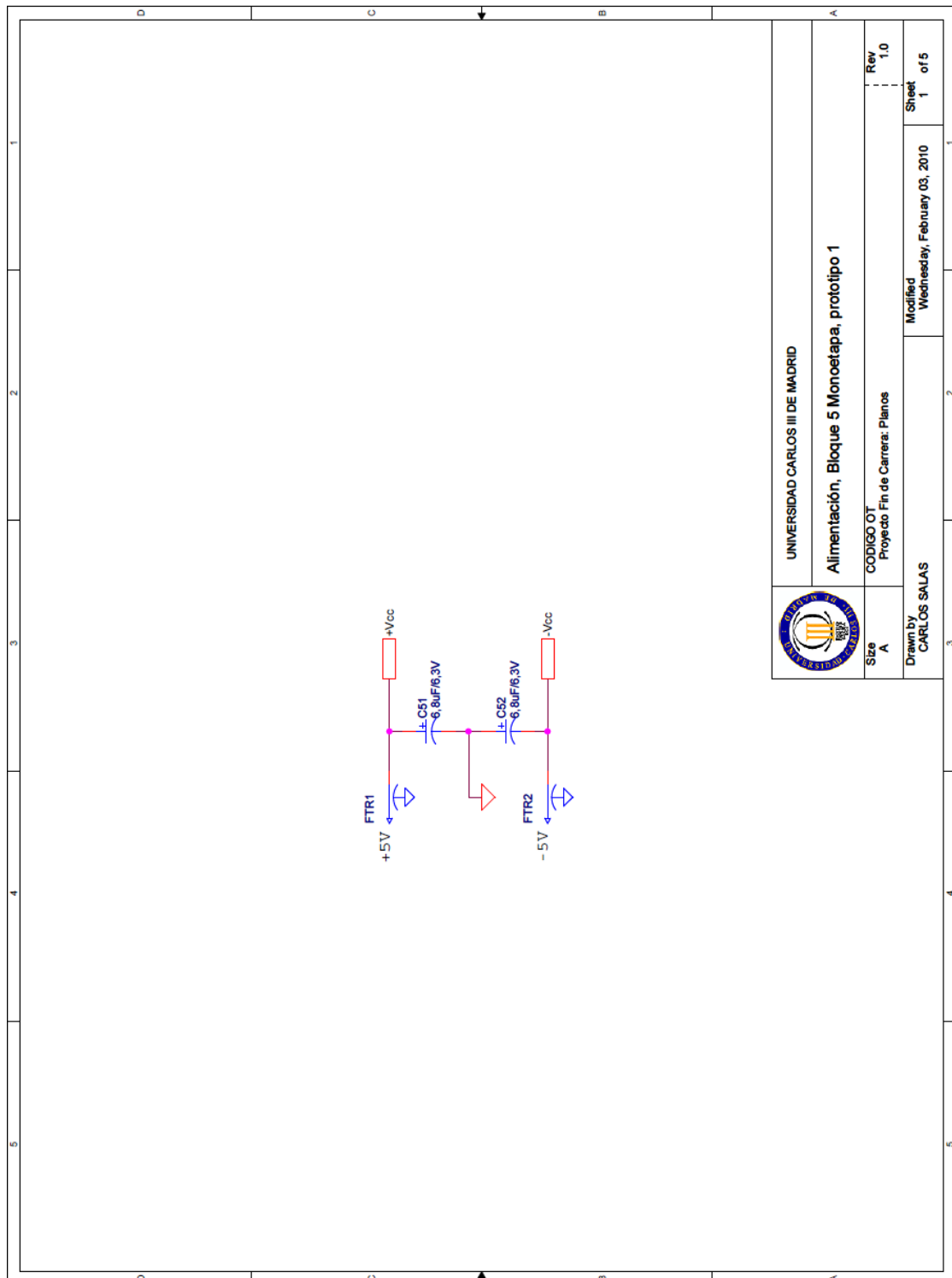
PLANOS

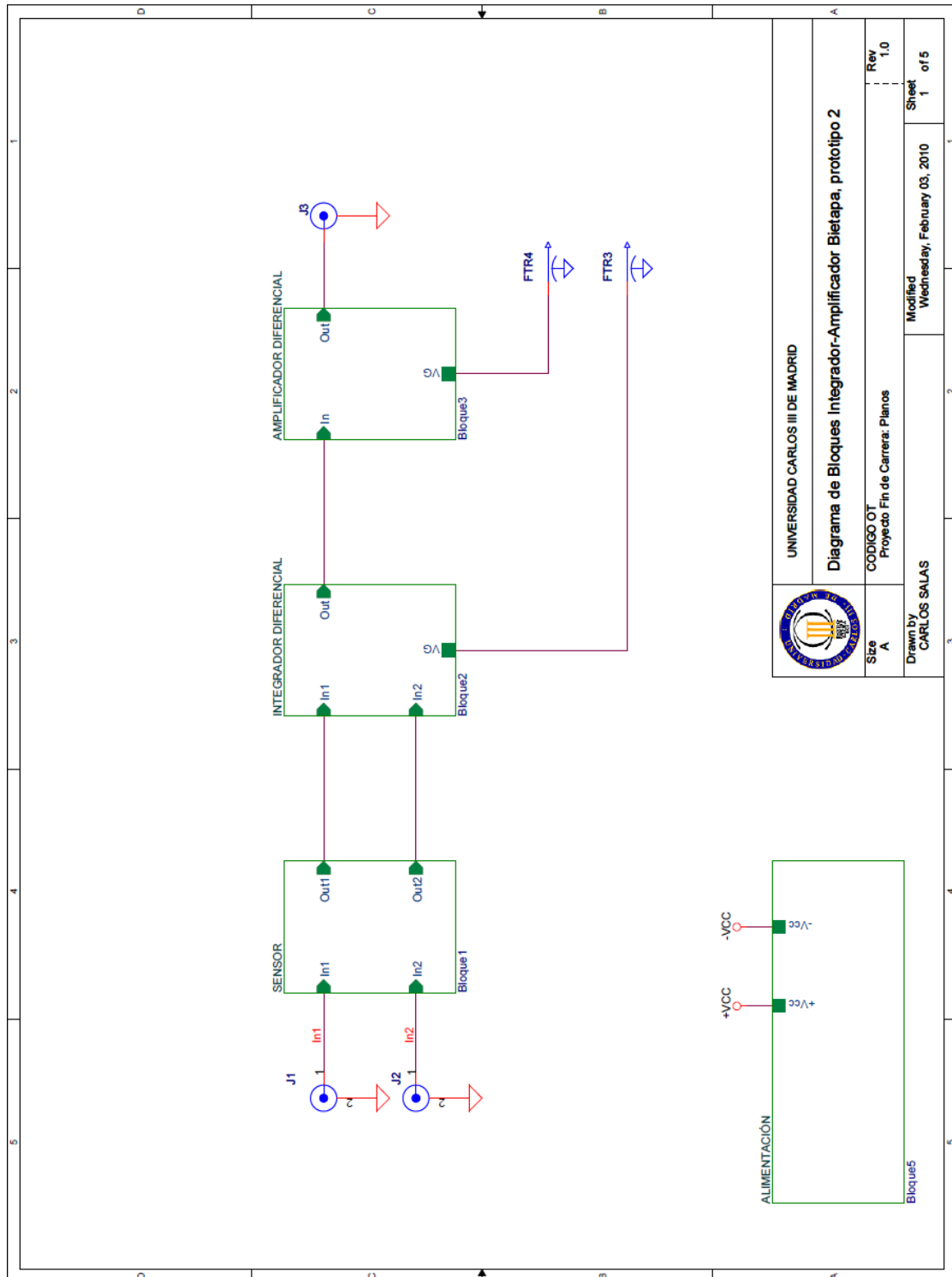



UNIVERSIDAD CARLOS III DE MADRID		Diagrama de Bloques Integrador Monoetapa, prototipo 1	
	Size A	CODIGO OT Proyecto Fin de Carrera: Planos	Rev 1.0
	Drawn by CARLOS SALAS	Modified Wednesday, February 03, 2010	Sheet 1 of 5

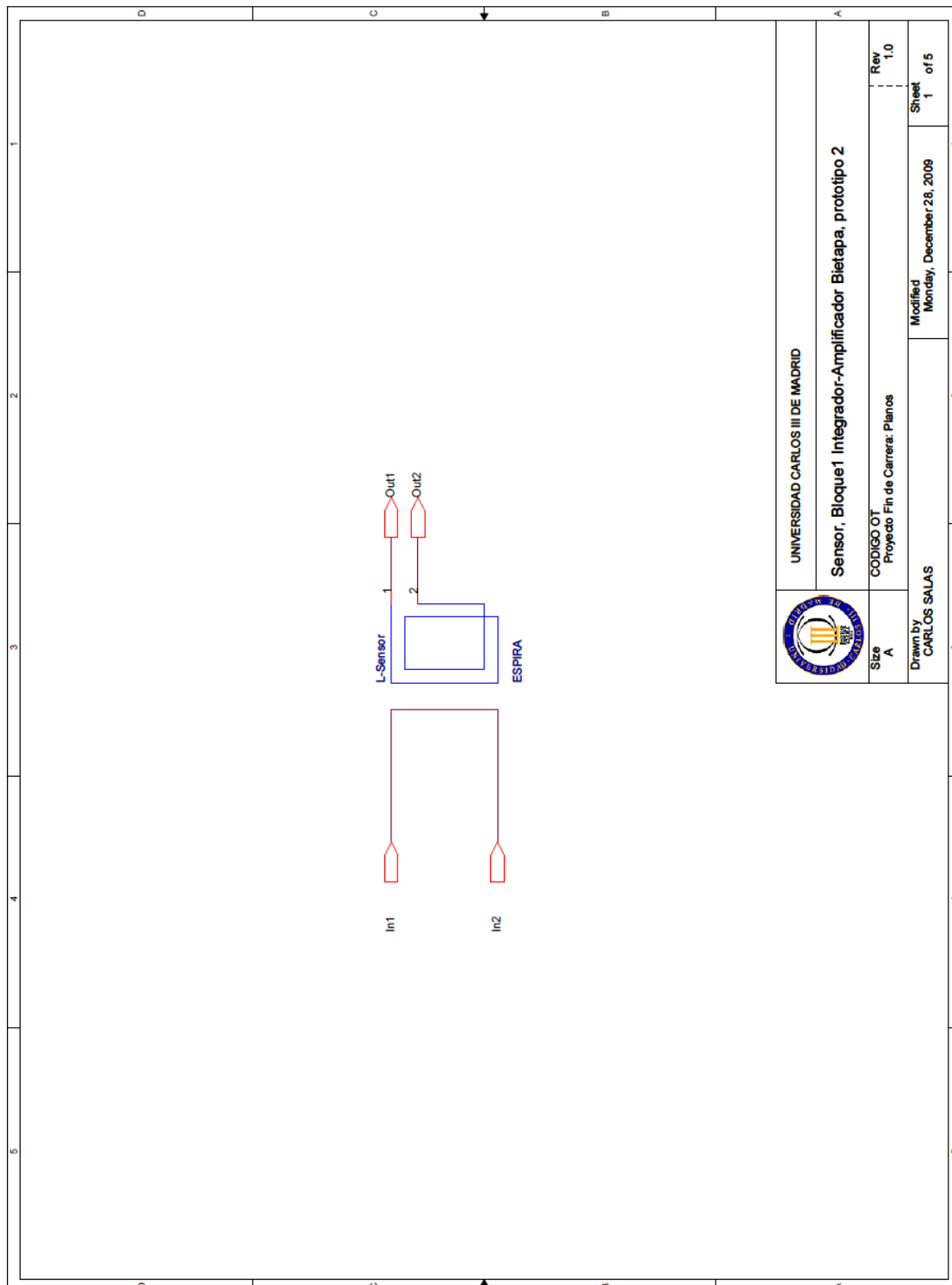


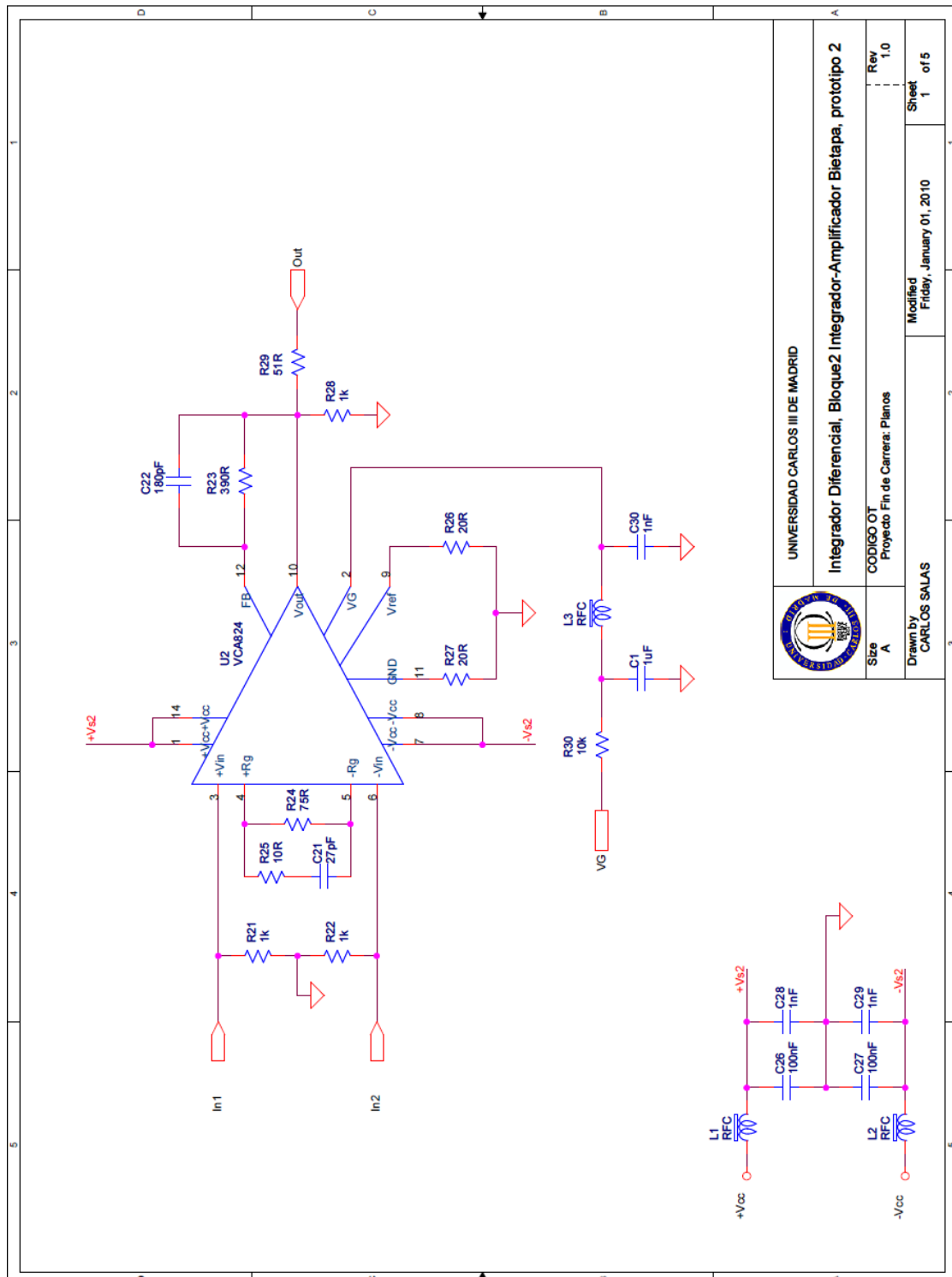




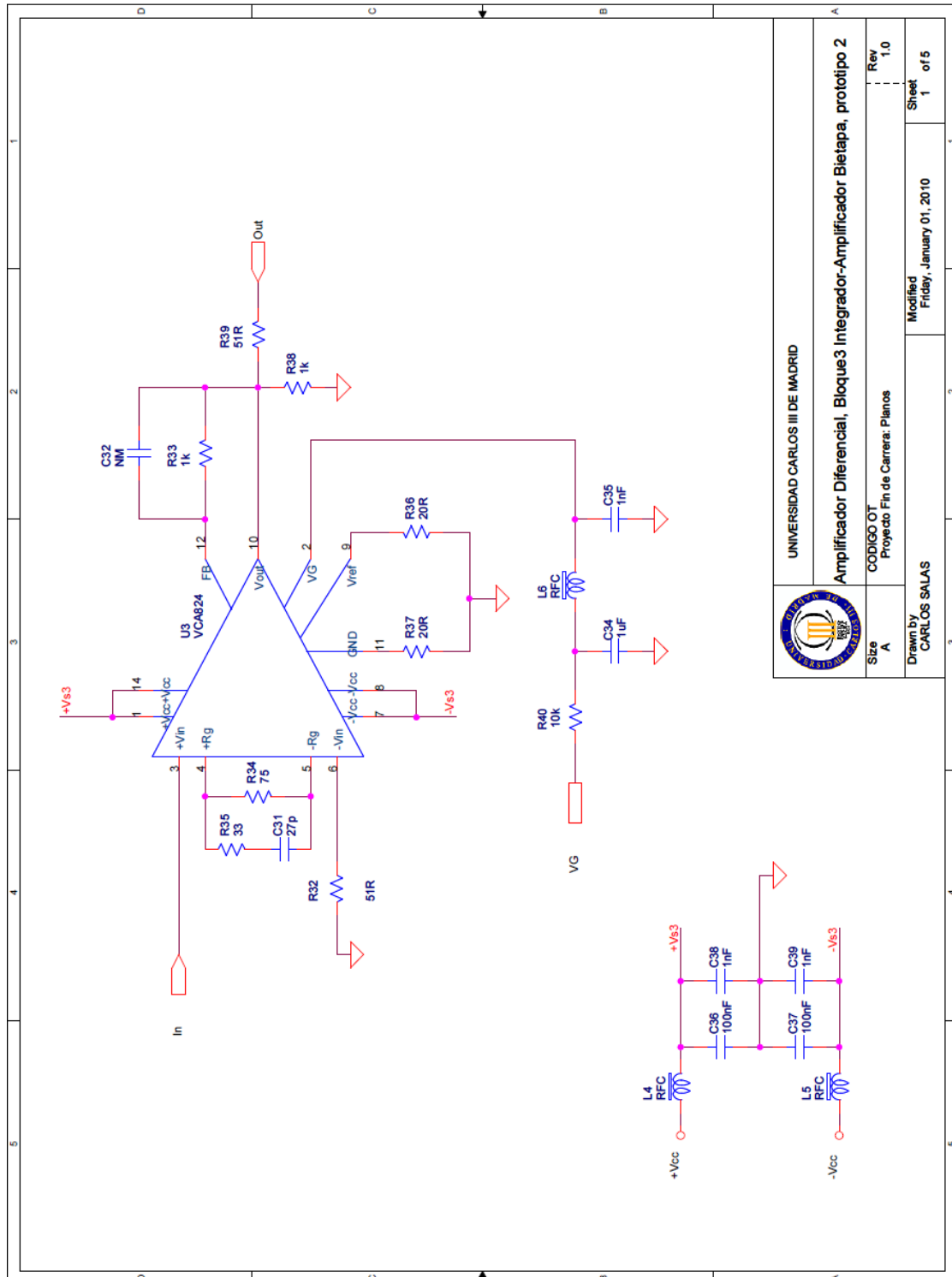


UNIVERSIDAD CARLOS III DE MADRID		Diagrama de Bloques Integrador-Amplificador Bietapa, prototipo 2	
	Size	CODIGO OT	Rev
	A	Proyecto Fin de Carrera: Planos	1.0
Drawn by CARLOS SALAS		Modified Wednesday, February 03, 2010	Sheet 1 of 5





UNIVERSIDAD CARLOS III DE MADRID		Integrador Diferencial, Bloque2 Integrador-Amplificador Bietapa, prototipo 2	
Size A	CODIGO OT Proyecto Fin de Carrera: Planos	Rev 1.0	Sheet 1 of 5
Drawn by CARLOS SALAS		Modified Friday, January 01, 2010	

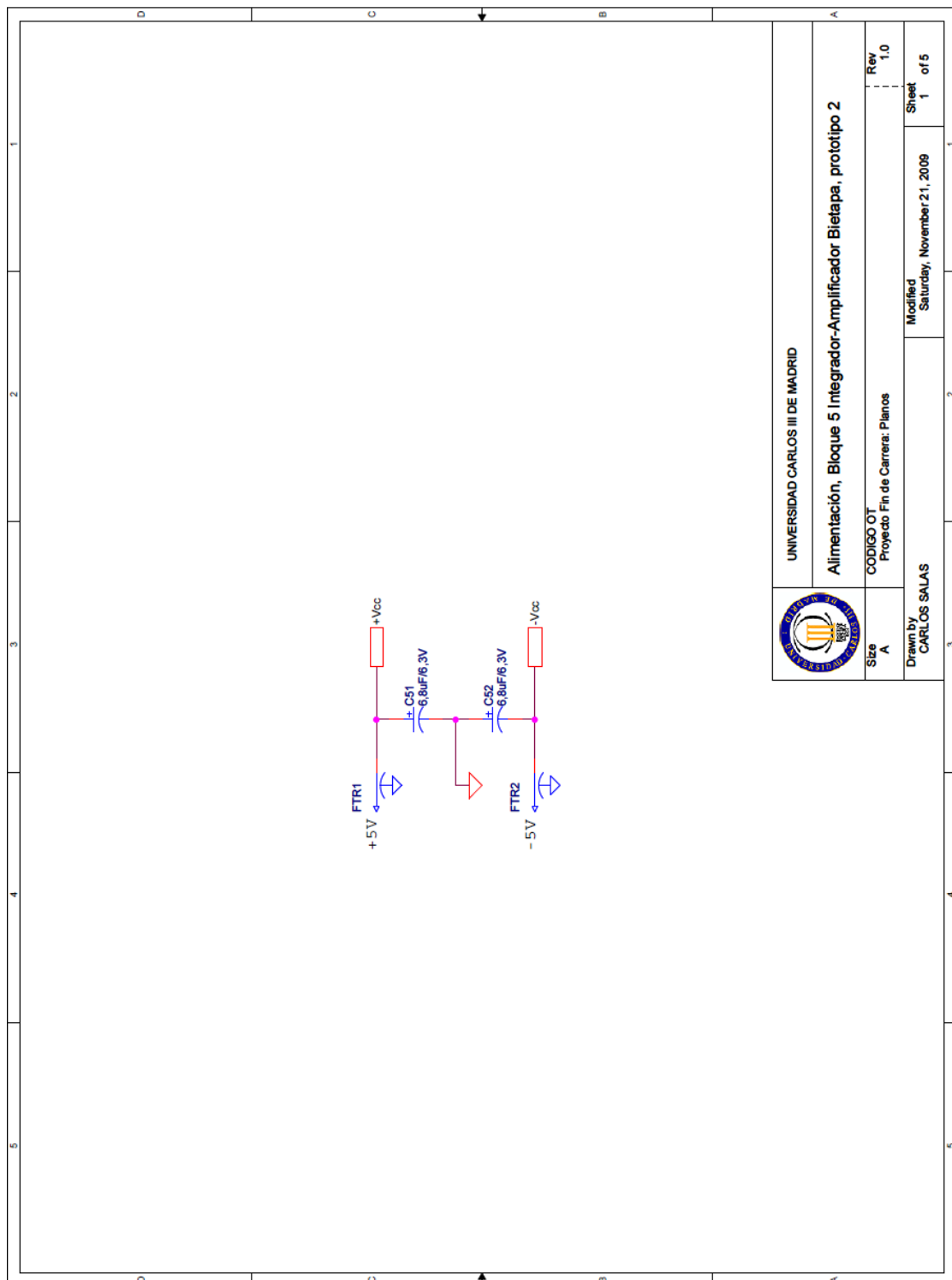


UNIVERSIDAD CARLOS III DE MADRID



Amplificador Diferencial, Bloque3 Integrador-Amplificador Bietapa, prototipo 2

Size	A	Rev	1.0
Drawn by	CARLOS SALAS	Modified	Friday, January 01, 2010
		Sheet	1 of 5



UNIVERSIDAD CARLOS III DE MADRID	
Alimentación, Bloque 5 Integrador-Amplificador Bietapa, prototipo 2	
CODIGO OT	Rev 1.0
Proyecto Fin de Carrera: Planos	Sheet 1 of 5
Modified Saturday, November 21, 2009	
Drawn by CARLOS SALAS	



PRESUPUESTO



El presupuesto estimado de este proyecto se detalla en la siguiente tabla resumen:

<i>RECURSOS MATERIALES Y HUMANOS</i>	<i>COSTE</i>
Componentes electrónicos	150 €
Coste total de las Placas de Circuito Impreso (PCBs) (Han sido fabricados 3 Prototipos por PCB)	500 €
Utilización durante 20 horas de un puesto de laboratorio de electrónica completamente equipado	500 €
Ingeniero de proyecto junior (recién titulado) (500 horas a 50 €/hora)	25.000 €
Ingeniero Superior (jefe de proyecto) (40 horas a 150 €/hora)	6.000 €
<i>TOTAL</i>	32.150 €

El coste honorario del personal es el coste que una empresa facturaría en un proyecto y que incluye, además del salario, conceptos como gastos fiscales, gastos generales y costes estructurales de la empresa.